

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-340145

(43)Date of publication of application : 08.12.2000

(51)Int.Cl.

H01J 31/12

H01J 9/02

H01J 9/42

H01J 29/04

(21)Application number : 11-151374

(71)Applicant : SONY CORP

(22)Date of filing : 31.05.1999

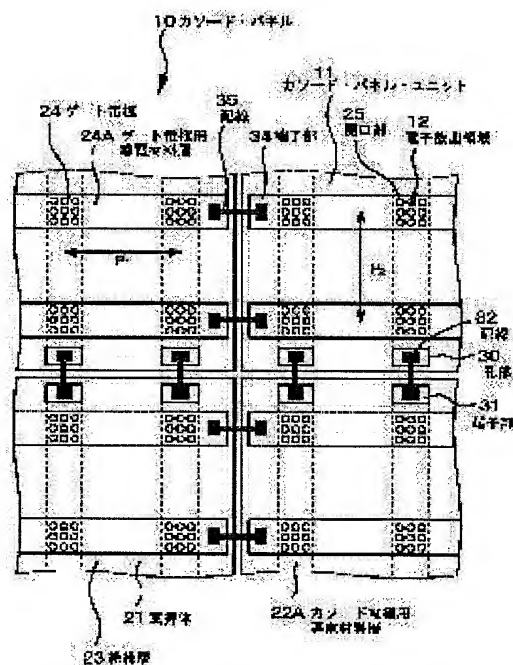
(72)Inventor : KAMIIDE KOYO

(54) CATHODE PANEL UNIT FOR COLD-CATHODE FIELD ELECTRON EMITTING DISPLAY DEVICE, CATHODE PANEL THEREFOR AND ITS MANUFACTURE, COLD-CATHODE FIELD ELECTRON EMITTING DISPLAY DEVICE, TEST DEVICE, AND TESTING METHOD OF ITS UNIT USING TEST DEVICE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a cathode panel unit for a cold-cathode field electron emitting display device, capable of being manufactured at a high yield rate.

SOLUTION: A cathode panel unit 11 is equipped with a support body 21, a plurality of cold-cathode field electron emitting area groups 22, 24, 26, and terminal parts 31, 34 extending from the respective cold-cathode field electron emitting area groups 22, 24, 26. The terminal parts 31, 34 of one cathode panel unit 11 are electrically connected to the terminal parts 31, 34 of neighboring cathode panel units 11, thereby forming a cathode panel for a cold-cathode field electron emitting display device.



## LEGAL STATUS

[Date of request for examination]

20.01.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-340145  
(P2000-340145A)

(43) 公開日 平成12年12月8日 (2000. 12. 8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
H 0 1 J	31/12	H 0 1 J	C 5 C 0 1 2
	9/02		B 5 C 0 3 1
	9/42		A 5 C 0 3 6
	29/04		

審査請求 未請求 請求項の数 6 O L (全 32 頁)

(21) 出願番号 特願平11-151374

(22) 出願日 平成11年5月31日 (1999. 5. 31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 上出 幸洋

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094363

弁理士 山本 孝久

Fターム(参考) 5C012 AA05 BE03

5C031 DD09 DD17 DD19

5C036 EE14 EE19 EF01 EF06 EF09

EF14 EG01 EG12 EG33 EG34

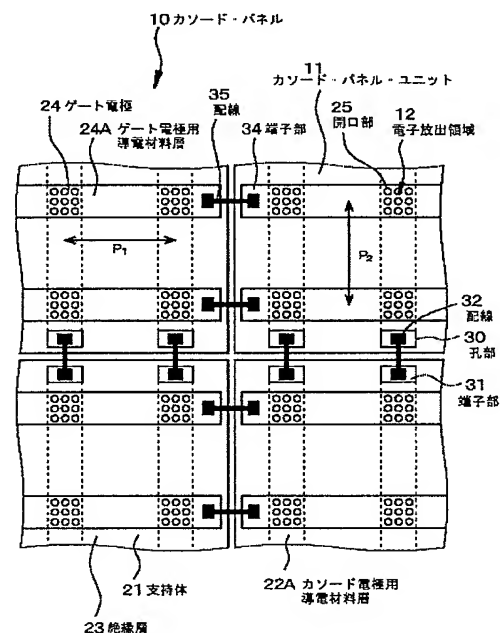
EG50 EH01 EH08 EH26

(54) 【発明の名称】 冷陰極電界電子放出表示装置用カソード・パネル・ユニット、冷陰極電界電子放出表示装置用カソード・パネル及びその製造方法、冷陰極電界電子放出表示装置、試験装置、並びに、かかる試

(57) 【要約】

【課題】 高い歩留での製造が可能な冷陰極電界電子放出表示装置用カソード・パネル・ユニットを提供する。

【解決手段】 カソード・パネル・ユニット11は、支持体21、支持体21上に形成された複数の冷陰極電界電子放出領域群22、24、26、並びに、各冷陰極電界電子放出領域群から延びる端子部31、34を具備し、カソード・パネル・ユニット11の端子部31、34を、隣接するカソード・パネル・ユニット11の端子部31、34と電氣的に接続することによって、冷陰極電界電子放出表示装置用カソード・パネルを構成する。



## 【特許請求の範囲】

【請求項 1】 (イ) 支持体、

(ロ) 支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、

(ハ) 各冷陰極電界電子放出領域群から延びる端子部、を具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットであって、

各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部を、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部と電氣的に接続することによって、冷陰極電界電子放出表示装置用カソード・パネルを構成することを特徴とする冷陰極電界電子放出表示装置用カソード・パネル・ユニット。

【請求項 2】 カソード・パネル用基板と、外部との電氣的接続のために該カソード・パネル用基板の外周部に設けられた複数の接続端子部と、複数の冷陰極電界電子放出表示装置用カソード・パネル・ユニットから構成された冷陰極電界電子放出表示装置用カソード・パネルであって、

各冷陰極電界電子放出表示装置用カソード・パネル・ユニットは、

(イ) 支持体、

(ロ) 支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、

(ハ) 各冷陰極電界電子放出領域群から延びる端子部、を具備し、

各冷陰極電界電子放出表示装置用カソード・パネル・ユニットはカソード・パネル用基板に取り付けられており、

各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部と電氣的に接続されており、

カソード・パネル用基板の外周部に取り付けられた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、カソード・パネル用基板の外周部に設けられた接続端子部に電氣的に接続されていること特徴とする冷陰極電界電子放出表示装置用カソード・パネル。

【請求項 3】 (A) (イ) 支持体、(ロ) 支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、

(ハ) 各冷陰極電界電子放出領域群から延びる端子部をそれぞれが具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットを作製する工程と、

(B) 複数の冷陰極電界電子放出表示装置用カソード・パネル・ユニットを、外部との電氣的接続のための複数の接続端子部が外周部に設けられたカソード・パネル用基板に取り付ける工程と、

(C) 各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部を、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部と電氣的に接続し、且つ、カソード・パネル用基板の外周部に

取り付けられた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部を、カソード・パネル用基板の外周部に設けられた接続端子部に電氣的に接続すること特徴とする冷陰極電界電子放出表示装置用カソード・パネルの製造方法。

【請求項 4】 複数の画素から構成され、

各画素は、冷陰極電界電子放出表示装置用カソード・パネルに設けられた冷陰極電界電子放出領域と、冷陰極電界電子放出領域に対向してアノード・パネル上に設けられたアノード電極及び蛍光体層とから構成された冷陰極電界電子放出表示装置であって、

該冷陰極電界電子放出表示装置用カソード・パネルは、カソード・パネル用基板と、外部との電氣的接続のために該カソード・パネル用基板の外周部に設けられた複数の接続端子部と、カソード・パネル用基板に取り付けられた複数の冷陰極電界電子放出表示装置用カソード・パネル・ユニットから構成されており、

各冷陰極電界電子放出表示装置用カソード・パネル・ユニットは、

(イ) 支持体、

(ロ) 支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、

(ハ) 各冷陰極電界電子放出領域群から延びる端子部、を具備し、

各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部と電氣的に接続されており、

カソード・パネル用基板の外周部に取り付けられた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、カソード・パネル用基板の外周部に設けられた接続端子部に電氣的に接続されていること特徴とする冷陰極電界電子放出表示装置。

【請求項 5】 (イ) 支持体、

(ロ) 支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、

(ハ) 各冷陰極電界電子放出領域群から延びる端子部、を具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験装置であって、

(1) 上部が開口し、雰囲気を真空にし得るハウジング、

(2) ハウジング内に配設され、試験すべき冷陰極電界電子放出表示装置用カソード・パネル・ユニットを載置する検査台、

(3) ハウジングの開口した上部に配置され、透明基板、並びに、該透明基板上に形成された蛍光体層及びアノード電極から構成されたパネル、

(4) パネルの上方に配設された受像装置、

(5) 受像装置が電氣的に接続された画像検査ユニッ



ト、

(6) 画像検査ユニットに電氣的に接続され、パネルを構成するアノード電極が電氣的に接続された電圧源・走査電圧コントローラ、並びに、

(7) ハウジング内に配設され、電圧源・走査電圧コントローラに電氣的に接続され、冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部に接触し得る検査電圧印加針、を具備することを特徴とする試験装置。

【請求項 6】 (イ) 支持体、

(ロ) 支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、

(ハ) 各冷陰極電界電子放出領域群から延びる端子部、を具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法であって、

(1) 上部が開口し、雰囲気を真空中にし得るハウジング、

(2) ハウジング内に配設され、試験すべき冷陰極電界電子放出表示装置用カソード・パネル・ユニットを載置する検査台、

(3) ハウジングの開口した上部に配置され、透明基板、並びに、該透明基板上に形成された蛍光体層及びアノード電極から構成されたパネル、

(4) パネルの上方に配設された受像装置、

(5) 受像装置が電氣的に接続された画像検査ユニット、

(6) 画像検査ユニットに電氣的に接続され、パネルを構成するアノード電極が電氣的に接続された電圧源・走査電圧コントローラ、並びに、

(7) ハウジング内に配設され、電圧源・走査電圧コントローラに電氣的に接続され、冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部に接触し得る検査電圧印加針、を具備した試験装置を用い、

試験をすべき冷陰極電界電子放出表示装置用カソード・パネル・ユニットを検査台上に載置し、ハウジング内を真空雰囲気とした状態で、パネルを構成するアノード電極に電圧源・走査電圧コントローラから第 1 の所定の電圧を印加し、且つ、冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部に検査電圧印加針が接触した状態で電圧源・走査電圧コントローラから第 2 の所定の電圧を冷陰極電界電子放出領域に印加し、以て、冷陰極電界電子放出領域から放出された電子をパネルに設けられたアノード電極に引き付け、蛍光体層に衝突させることによって得られた画像を受像装置にて受像し、受像装置からの信号を画像検査ユニットにて処理することを特徴とする冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、冷陰極電界電子放

出表示装置用カソード・パネル・ユニット、冷陰極電界電子放出表示装置用カソード・パネル及びその製造方法、冷陰極電界電子放出表示装置、試験装置、並びに、かかる試験装置を用いた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法に関する。

【0002】

【従来の技術】 現在主流の陰極線管 (CRT) に代わる画像表示装置として、平面型 (フラットパネル形式) の表示装置が種々検討されている。このような平面型の表示装置として、液晶表示装置 (LCD)、エレクトロルミネッセンス表示装置 (ELD)、プラズマ表示装置 (PDP) を例示することができる。また、熱的励起によらず固体から真空中に電子を放出することが可能な冷陰極電界電子放出表示装置、所謂フィールド・エミッション・ディスプレイ (FED) も提案されており、高解像度、高輝度のカラー表示、及び低消費電力の観点から注目を集めている。

【0003】 冷陰極電界電子放出表示装置 (以下、表示装置と略称する場合がある) は、一般に、2 次元マトリクス状に配列された各画素に対応して冷陰極電界電子放出領域 (以下、電子放出領域と略称する場合がある) が形成された冷陰極電界電子放出表示装置用カソード・パネル (以下、カソード・パネルと略称する場合がある) と、電子放出領域から放出された電子との衝突により励起されて発光する蛍光体層を有するアノード・パネルとが、真空層を介して対向配置された構成を有する。カソード・パネル上に形成された各電子放出領域は、通常、1 つあるいは複数の冷陰極電界電子放出素子 (以下、電界放出素子と略称する場合がある) から構成されている。

【0004】 電界放出素子は、一般に、スピント型、エッジ型及び平面型に分類することができる。

【0005】 一例として、スピント型電界放出素子を適用した従来の表示装置の概念図を図 3 2 に示し、カソード・パネル 10 及びアノード・パネル 50 の一部分の模式的な分解斜視図を図 3 3 に示す。かかる表示装置を構成するスピント型電界放出素子は、カソード・パネル用基板に相当する支持体 21 に形成されたカソード電極 22 と、絶縁層 23 と、絶縁層 23 上に形成されたゲート電極 24 と、ゲート電極 24 及び絶縁層 23 を貫通して設けられた開口部 25 内に形成された円錐形の電子放出電極 (エミッタ電極) 26 から構成されている。電子放出電極 26 が所定数、2 次元マトリクス状に配列されて、1 画素を構成する電子放出領域が形成される。カソード電極 22 は、第 1 の方向に延びるストライプ状であり、ゲート電極 24 は、第 1 の方向とは異なる第 2 の方向に延びるストライプ状である (図 3 3 参照)。ストライプ状のカソード電極 22 とストライプ状のゲート電極 24 とが重複する領域が、電子放出領域 12 に相当する。カソード・パネル 10 は、支持体 21、及び、かか

る複数の電子放出領域12から構成されている。

【0006】一方、アノード・パネル50は、基板51上に所定のパターンを有する蛍光体層52（具体的には、図33に示すように、赤色を発光する蛍光体層52B、緑色を発光する蛍光体層52G、及び、青色を発光する蛍光体層52B）が形成され、蛍光体層52がアノード電極53で覆われた構造を有する。尚、これらの蛍光体層52R、52G、52Bの間は、カーボン等の光吸収性材料から成るブラック・マトリクス54で埋め込まれており、表示画像の色濁りが防止されている。基板51上における蛍光体層52とアノード電極53の積層順を上記と逆にしても構わないが、この場合には、表示装置の観察面側から見てアノード電極53が蛍光体層52の手前に来るため、アノード電極53をITO（インジウム・錫酸化物）等の透明導電材料にて構成する必要がある。

【0007】走査回路からカソード電極22に電圧を印加し、制御回路からゲート電極24に電圧を印加し、カソード電極22とゲート電極24との間の電位差により生じた電界によって電子放出電極26の先端から電子が放出される。そして、電子は、アノード・パネル50に設けられたアノード電極53に引き付けられ、アノード電極53と透明基板51との間に形成された発光体層である蛍光体層52に衝突する。尚、アノード電極53には加速電源から正の電位が加えられる。その結果、蛍光体層52が励起されて発光し、所望の画像を得ることができる。電界放出素子の動作は、基本的に、ゲート電極24に印加される電圧によって制御される。

【0008】図32及び図33に示した表示装置におけるスピント型電界放出素子の製造方法の概要を、以下、図10及び図11を参照しながら説明する。この製造方法は、基本的には、円錐形の電子放出電極26を金属材料の垂直蒸着により形成する方法である。即ち、開口部25に対して蒸着粒子は垂直に入射するが、開口端付近に形成されるオーバーハング状の堆積物による遮蔽効果を利用して、開口部25の底部に到達する蒸着粒子の量を漸減させ、円錐形の堆積物である電子放出電極26を自己整合的に形成する。ここでは、不要なオーバーハング状の堆積物の除去を容易とするために、ゲート電極24上に剥離層27を予め形成しておく方法について、図10及び図11を参照して説明する。

【0009】【工程-100】先ず、例えばガラス基板から成る支持体21の上に、例えばポリシリコンから成るカソード電極用導電材料層をプラズマCVD法にて製膜した後、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層をパターニングしてカソード電極22を形成する。パターニングされたカソード電極用導電材料層はストライプ形状を有する。その後、全面にSiO<sub>2</sub>から成る絶縁層23をCVD法にて、ゲート電極用導電材料層（例えば、TiN層）をス

パッタ法にて、順次製膜し、次いで、ゲート電極用導電材料層をリソグラフィ技術及びドライエッチング技術にてパターニングすることによってゲート電極用導電材料層から成り、開口部25を有するゲート電極24を形成する。パターニングされたゲート電極用導電材料層はストライプ形状を有する。その後、ゲート電極24をエッチング用マスクとして用いて、絶縁層23に、例えば直径1μm程度の開口部25を形成する（図10の（A）参照）。尚、ストライプ状のカソード電極用導電材料層は第1の方向に延び、ストライプ状のゲート電極用導電材料層は第1の方向とは異なる第2の方向に延び、例えば、第1の方向と第2の方向とは直角の関係にある。

【0010】【工程-110】次に、支持体21を回転させながらゲート電極24上を含む絶縁層23上にニッケル（Ni）を斜め蒸着することにより、剥離層27を形成する（図10の（B）参照）。このとき、支持体21の法線に対する蒸着粒子の入射角を十分に大きく選択することにより（例えば、入射角65度～85度）、開口部25の底部にニッケルを殆ど堆積させることなく、ゲート電極24の上に剥離層27を形成することができる。剥離層27は、開口部25の開口端から底状に張り出しており、これによって開口部25が実質的に縮径される。

【0011】【工程-120】次に、全面に例えば導電材料としてモリブデン（Mo）を垂直蒸着する（入射角3度～10度）。このとき、図11の（A）に示すように、剥離層27上でオーバーハング形状を有する導電材料層26Aが成長するに伴い、開口部25の実質的な直径が次第に縮小されるので、開口部25の底部において堆積に寄与する蒸着粒子は、次第に開口部25の中央付近を通過するものに限られるようになる。その結果、開口部25の底部には円錐形の堆積物が形成され、この円錐形の堆積物が電子放出電極26となる。

【0012】【工程-130】その後、リフト・オフ法にて剥離層27をゲート電極24の表面から剥離し、ゲート電極24の上方の導電材料層26Aを選択的に除去する（図11の（B）参照）。こうして、複数のスピント型電界放出素子が形成されたカソード・パネルを得ることができる。

【0013】電界放出素子においては、ゲート電極24に印加される電圧とカソード電極22に印加される電圧の電位差ΔVが或る閾値電位ΔV<sub>th</sub>以上になると、電子放出電極26の先端部から電子が放出され始める。そして、例えばゲート電極24に印加される電圧の増加（即ち、電位差ΔVの増加）に伴い、電子放出電極26の先端部からの電子の放出によって生成する放出電子電流が急激に増加する。

【0014】

【発明が解決しようとする課題】ところで、大型の表示装置を製造するためには、極めて清浄な処理と高い加工

精度が要求される。例えば、38万画素のカラー表示装置を製造するためには114万の電子放出領域を形成する必要がある。また、スピント型電界放出素子から表示装置を構成する場合には、1つの電子放出領域を数十乃至千個程度のスピント型電界放出素子から構成しなければならない。従って、数 $\mu\text{m}$ 未満にそれぞれが近接した数千万以上の微細な電界放出素子を作製する必要がある。

【0015】然るに、上述のスピント型電界放出素子の製造工程においては、大面積の表示装置を製造するために大面積の支持体（例えば、ガラス基板）全体に互って剥離層27の剥離を行う必要があるが、かかる剥離層27の剥離は電界放出素子の欠陥発生の原因となる。また、ドライプロセスにおいても、大面積の支持体の加工に際して反応生成物の蓄積量が増加し、パーティクルにより電界放出素子に欠陥が発生し易くなる。ゲート電極24と電子放出電極26との間に導電性の異物が存在すると、ゲート電極24と電子放出電極26とが短絡する結果、電界放出素子から電子が放出されなくなり、表示装置においては暗点（減点）が出現する。カソード・パネルにおいては、通常、複数の電子放出領域が1次元（ストライプ状）に配列された電子放出領域列が複数並置されているので、電界放出素子の短絡が発生すると、かかる電界放出素子を含むストライプ状の電子放出領域列の一例全体の完全なる表示が出来なくなる場合もある。

【0016】また、電界放出素子に関する問題として、電界放出素子の電子放出特性のバラツキが挙げられる。電界放出素子は、カソード・パネル上に数十万個から数億個もの単位で同一プロセスにより形成されるが、個々の電界放出素子は電子顕微鏡下で一見同じように観察されても、電界放出素子の閾値電位 $\Delta V_{th}$ にはバラツキが存在する。そして、閾値電位 $\Delta V_{th}$ が異常に低い値を示す電界放出素子が存在する場合、正常な閾値電位 $\Delta V_{th}$ を示す電界放出素子が動作をしない電位差の状態であっても、閾値電位 $\Delta V_{th}$ が異常に低い値を示す電界放出素子は動作状態となる。その結果、表示装置においては輝点が発生したり、輝度ムラが発生するといった問題が生じる。

【0017】大面積の表示装置を製造する上で、このような動作不良の電界放出素子が存在すると、表示装置の製造歩留が極端に低下する。例えば、縦横比16:9、対角32インチの表示装置を製造するために1m×1mのガラス基板を支持体として使用することを想定した場合、かかるガラス基板から2枚のカソード・パネルしか作製することができない（図31の（A）の左側参照）。従って、動作不良の電界放出素子（図では黒点で示す）が存在すれば、表示装置の大幅な製造歩留低下は免れない。

【0018】また、1m×1mのガラス基板を支持体と

して使用することを想定した場合、各種製膜工程において支持体の四隅に膜厚や膜特性の変動が生じ易い（図31の（B）の左側参照）。かかる変動が発生した場合にも、表示装置の大幅な製造歩留低下は免れない。尚、図31の（B）では、膜厚や膜特性の変動が生じた領域に斜線を付した。

【0019】通常、製造されたカソード・パネル10に対して、電子放出領域12の動作試験を行う。動作試験として、電子放出領域12の抵抗値や異常発熱を測定して短絡の有無を検査する配線短絡試験を行う。然るに、かかる配線短絡試験では、暗点（減点）の検出は可能であるが、輝点や輝度ムラ等を検出することができない。

【0020】従って、本発明の第1の目的は、高い歩留での製造が可能な冷陰極電界電子放出表示装置用カソード・パネル、かかる冷陰極電界電子放出表示装置用カソード・パネルの製造方法、及び、かかる冷陰極電界電子放出表示装置用カソード・パネルを用いた冷陰極電界電子放出表示装置、並びに、かかる冷陰極電界電子放出表示装置の製造に適した冷陰極電界電子放出表示装置用カソード・パネル・ユニットを提供することにある。また、本発明の第2の目的は、暗点（減点）のみならず輝点や輝度ムラ等を検出することを可能とする検査装置、及び、かかる検査装置を用いた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法を提供することにある。

【0021】

【課題を解決するための手段】上記の第1の目的を達成するための本発明の冷陰極電界電子放出表示装置用カソード・パネル・ユニットは、（イ）支持体、（ロ）支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、（ハ）各冷陰極電界電子放出領域群から延びる端子部、を具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットであって、各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部を、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部と電気的に接続することによって、冷陰極電界電子放出表示装置用カソード・パネルを構成することを特徴とする。

【0022】上記の第1の目的を達成するための本発明の冷陰極電界電子放出表示装置用カソード・パネルは、複数の本発明の冷陰極電界電子放出表示装置用カソード・パネル・ユニットから構成されている。即ち、本発明の冷陰極電界電子放出表示装置用カソード・パネルは、カソード・パネル用基板と、外部との電氣的接続のために該カソード・パネル用基板の外周部に設けられた複数の接続端子部と、複数の冷陰極電界電子放出表示装置用カソード・パネル・ユニットから構成された冷陰極電界電子放出表示装置用カソード・パネルであって、各冷陰極電界電子放出表示装置用カソード・パネル・ユニット

は、(イ)支持体、(ロ)支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、(ハ)各冷陰極電界電子放出領域群から延びる端子部、を具備し、各冷陰極電界電子放出表示装置用カソード・パネル・ユニットはカソード・パネル用基板に取り付けられており、各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部と電氣的に接続されており、カソード・パネル用基板の外周部に取り付けられた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、カソード・パネル用基板の外周部に設けられた接続端子部に電氣的に接続されていること特徴とする。

【0023】上記の第1の目的を達成するための本発明の冷陰極電界電子放出表示装置用カソード・パネルの製造方法は、(A)(イ)支持体、(ロ)支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、

(ハ)各冷陰極電界電子放出領域群から延びる端子部をそれぞれが具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットを作製する工程と、(B)複数の冷陰極電界電子放出表示装置用カソード・パネル・ユニットを、外部との電氣的接続のための複数の接続端子部が外周部に設けられたカソード・パネル用基板に取り付ける工程と、(C)各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部を、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部と電氣的に接続し、且つ、カソード・パネル用基板の外周部に取り付けられた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部を、カソード・パネル用基板の外周部に設けられた接続端子部に電氣的に接続すること特徴とする。

【0024】上記の第1の目的を達成するための本発明の冷陰極電界電子放出表示装置は、複数の画素から構成され、各画素は、冷陰極電界電子放出表示装置用カソード・パネルに設けられた冷陰極電界電子放出領域と、冷陰極電界電子放出領域に対向してアノード・パネル上に設けられたアノード電極及び蛍光体層とから構成された冷陰極電界電子放出表示装置であって、該冷陰極電界電子放出表示装置用カソード・パネルは、カソード・パネル用基板と、外部との電氣的接続のために該カソード・パネル用基板の外周部に設けられた複数の接続端子部と、カソード・パネル用基板に取り付けられた複数の冷陰極電界電子放出表示装置用カソード・パネル・ユニットから構成されており、各冷陰極電界電子放出表示装置用カソード・パネル・ユニットは、(イ)支持体、

(ロ)支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、(ハ)各冷陰極電界電子放出領域群から延びる端子部、を具備し、各冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、隣接する冷陰極電界電子放出表示装置用カソード・パネル・ユ

ニットの端子部と電氣的に接続されており、カソード・パネル用基板の外周部に取り付けられた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部は、カソード・パネル用基板の外周部に設けられた接続端子部に電氣的に接続されていること特徴とする。

【0025】上記の第2の目的を達成するための本発明の試験(検査あるいは評価)装置は、(イ)支持体、

(ロ)支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、(ハ)各冷陰極電界電子放出領域群から延びる端子部、を具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験装置であって、

(1)上部が開口し、雰囲気を真空中にし得るハウジング、(2)ハウジング内に配設され、試験すべき冷陰極電界電子放出表示装置用カソード・パネル・ユニットを載置する検査台、(3)ハウジングの開いた上部に配置され、透明基板、並びに、該透明基板上に形成された蛍光体層及びアノード電極から構成されたパネル、

(4)パネルの上方に配設された受像装置、(5)受像装置が電氣的に接続された画像検査ユニット、(6)画像検査ユニットに電氣的に接続され、パネルを構成するアノード電極が電氣的に接続された電圧源・走査電圧コントローラ、並びに、(7)ハウジング内に配設され、電圧源・走査電圧コントローラに電氣的に接続され、冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部に接触し得る検査電圧印加針、を具備することを特徴とする。

【0026】上記の第2の目的を達成するための本発明の冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験(検査あるいは評価)方法は、(イ)支持体、(ロ)支持体上に形成された複数の冷陰極電界電子放出領域群、並びに、(ハ)各冷陰極電界電子放出領域群から延びる端子部、を具備する冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法であって、(1)上部が開口し、雰囲気を真空中にし得るハウジング、(2)ハウジング内に配設され、試験すべき冷陰極電界電子放出表示装置用カソード・パネル・ユニットを載置する検査台、(3)ハウジングの開いた上部に配置され、透明基板、並びに、該透明基板上に形成された蛍光体層及びアノード電極から構成されたパネル、

(4)パネルの上方に配設された受像装置、(5)受像装置が電氣的に接続された画像検査ユニット、(6)画像検査ユニットに電氣的に接続され、パネルを構成するアノード電極が電氣的に接続された電圧源・走査電圧コントローラ、並びに、(7)ハウジング内に配設され、電圧源・走査電圧コントローラに電氣的に接続され、冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部に接触し得る検査電圧印加針、を具備する試験装置を用い、試験をすべき冷陰極電界電子放出表示装置用カソード・パネル・ユニットを検査台上に載置し、ハウジング内を真空雰囲気とした状態で、パネルを構成す

るアノード電極に電圧源・走査電圧コントローラから第1の所定の電圧を印加し、且つ、冷陰極電界電子放出表示装置用カソード・パネル・ユニットの端子部に検査電圧印加針が接触した状態で電圧源・走査電圧コントローラから第2の所定の電圧を冷陰極電界電子放出領域に印加し、以て、冷陰極電界電子放出領域から放出された電子をパネルに設けられたアノード電極に引き付け、蛍光体層に衝突させることによって得られた画像を受像装置にて受像し、受像装置からの信号を画像検査ユニットにて処理することを特徴とする。

【0027】本発明の冷陰極電界電子放出表示装置用カソード・パネル・ユニット、冷陰極電界電子放出表示装置用カソード・パネル及びその製造方法、冷陰極電界電子放出表示装置、並びに、かかる試験装置を用いた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法において、冷陰極電界電子放出領域（以下、電子放出領域と呼ぶ）は、複数（例えば、数十乃至千個程度）のスビント型電界放出素子、あるいは、複数（例えば、数十乃至数百個程度）のエッジ型電界放出素子、あるいは、1つ若しくは複数の平面型電界放出素子から構成することができる。

【0028】本発明の冷陰極電界電子放出表示装置用カソード・パネル・ユニット、冷陰極電界電子放出表示装置用カソード・パネル及びその製造方法、冷陰極電界電子放出表示装置においては、冷陰極電界電子放出表示装置用カソード・パネル（以下、カソード・パネルと略称する場合がある）は、複数の冷陰極電界電子放出表示装置用カソード・パネル・ユニット（以下、カソード・パネル・ユニットと略称する場合がある）の集合から構成されているので、欠陥の無い相対的に小型のカソード・パネル・ユニットを作製すればよく、カソード・パネルの製造歩留の向上を図ることができる。

【0029】また、本発明の試験装置及び係る試験装置を用いた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法によれば、カソード・パネル・ユニットから実際に電子を放出させるので、表示装置の動作状態と一致した状態にてカソード・パネル・ユニットの動作試験を行うことができる。

#### 【0030】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明するが、それに先立ち、スビント型電界放出素子、エッジ型電界放出素子、及び、平面型電界放出素子の概要、及び、これらの電界放出素子の基本的な製造工程を説明する。

【0031】スビント型電界放出素子の構造は、図11の（B）に示したとおりである。即ち、スビント型電界放出素子は、（イ）支持体21上に形成されたカソード電極22、（ロ）カソード電極22上を含む支持体21上に形成された絶縁層23、（ハ）絶縁層23上に形成

されたゲート電極24、（ニ）ゲート電極24及び絶縁層23を貫通した開口部25、並びに、（ホ）開口部25の底部に位置するカソード電極22上に形成された錐状形状を有する電子放出電極26、から構成されており、電子放出電極26の先端部から電子が放出される。尚、支持体21は、カソード・パネル・ユニット用の基板に相当する。スビント型電界放出素子の基本的な製造方法は、例えば、図10及び図11を参照して先に説明したとおりであるが、これに限定するものではない。

【0032】エッジ型電界放出素子の模式的な一部端面図を、図12の（A）に示す。このエッジ型電界放出素子は、（イ）支持体71上に形成された第1絶縁層73、（ロ）第1絶縁層73上に形成された電子放出層74、（ハ）電子放出層74上を含む第1絶縁層73上に形成された第2絶縁層75、（ニ）第2絶縁層75上に形成されたゲート電極76、並びに、（ホ）少なくとも、ゲート電極76、第2絶縁層75及び電子放出層74を貫通した開口部78、から成り、開口部78の壁面から突出した電子放出層74の端部74Aから電子が放出される。尚、このような構成のエッジ型電界放出素子を、便宜上、第1の構造のエッジ型電界放出素子と呼ぶ。尚、支持体71は、カソード・パネル・ユニット用の基板に相当する。

【0033】エッジ型電界放出素子の変形例の模式的な一部端面図を、図12の（B）に示す。このエッジ型電界放出素子は、（イ）支持体71上に形成された第1ゲート電極72、（ロ）第1ゲート電極72上を含む支持体71上に形成された第1絶縁層73、（ハ）第1絶縁層73上に形成された電子放出層74、（ニ）電子放出層74上を含む第1絶縁層73上に形成された第2絶縁層75、（ホ）第2絶縁層75上に形成された第2ゲート電極77、並びに、（ヘ）第2ゲート電極77、第2絶縁層75、電子放出層74及び第1絶縁層73を貫通し、底部に第1ゲート電極72の表面が露出した開口部78、から成り、開口部78の壁面から突出した電子放出層74の端部74Aから電子が放出される。尚、開口部78近傍の支持体71等を一部切断して露出させた模式的な斜視図を図13に示す。ここで、図12の（B）に示した模式的な一部端面図は、図13の線A-Aに沿った端面図である。このような構成のエッジ型電界放出素子を、便宜上、第2の構造のエッジ型電界放出素子と呼ぶ。第2の構造のエッジ型電界放出素子においては、電子放出層74の下方に第1ゲート電極72が設けられているので、第1の構造のエッジ型電界放出素子と比較して、開口部78の壁面から突出した電子放出層74の端部74Aの近傍に一層高強度の電界を形成することができる。

【0034】図12の（B）に示したエッジ型電界放出素子の製造方法を、以下、図14～図16を参照して説明する。

【0035】[工程-200] 先ず、例えばガラス基板から成る支持体71の上に、スパッタ法にて厚さ約0.2 $\mu$ mのタングステンから成る第1ゲート電極用導電材料層を成膜し、通常の手順に従ってリソグラフィ技術及びドライエッチング技術により第1ゲート電極用導電材料層をパターンニングして、第1ゲート電極72を形成する(図14の(A)参照)。パターンニングされた第1ゲート電極用導電材料層はストライプ形状を有する。

【0036】[工程-210] 次に、全面に第1絶縁層73を形成する。ここでは一例として、SiO<sub>2</sub>を約0.3 $\mu$ mの厚さに形成する。更に、この第1絶縁層73の上にタングステンから成る電子放出層用導電材料層を0.2 $\mu$ mの厚さに形成した後、所定の形状にパターンニングし、電子放出層74を形成する(図14の(B)参照)。パターンニングされた電子放出層用導電材料層はストライプ形状を有する。

【0037】[工程-220] 次に、全面に例えばSiO<sub>2</sub>から成る第2絶縁層75を例えば約0.7 $\mu$ mの厚さに形成する。更に、この第2絶縁層75の上に厚さ約0.2 $\mu$ mのタングステンから成る第2ゲート電極用導電材料層を形成し、所定のパターンニングを行うことによって、第2ゲート電極77を得ることができる(図14の(C)参照)。パターンニングされた第2ゲート電極用導電材料層はストライプ形状を有する。第2ゲート電極77の構成材料や厚さは、第1ゲート電極72と同じであってもよいし、異なってもよい。

【0038】[工程-230] その後、全面にレジスト層79を形成し、更にこのレジスト層79に、第2ゲート電極77の表面を一部露出させるようにレジスト開口部79Aを形成する。レジスト開口部79Aの平面形状は矩形であり、矩形の長辺はおおよそ100 $\mu$ m、短辺は数 $\mu$ m~10 $\mu$ mである。続いて、レジスト開口部79Aの底面に露出した第2ゲート電極77を例えばRIE(反応性イオン・エッチング)法により異方的にエッチングし、開口部78Aを形成する(図15の(A)参照)。ここでは第2ゲート電極77をタングステンをを用いて構成しているので、SF<sub>6</sub>ガスをを用いたエッチングにより垂直壁を有する開口部78Aを形成することができる。

【0039】[工程-240] 次に、開口部78Aの底面に露出した第2絶縁層75を等方的にエッチングし、開口部78Bを形成する(図15の(B)参照)。ここでは第2絶縁層をSiO<sub>2</sub>を用いて形成しているので、緩衝化フッ酸水溶液を用いたウェットエッチングを行う。開口部78Bの壁面は、開口部78Aの開口端面よりも後退するが、このときの後退量はエッチング時間の長短により制御することができる。ここでは、開口部78Bの下端が開口部78Aの開口端面よりも後退するまで、ウェットエッチングを行う。

【0040】[工程-250] 次に、開口部78Bの底

面に露出した電子放出層74を、イオンを主エッチング種とする条件によりドライエッチングする(図16の

(A)参照)。イオンを主エッチング種とするドライエッチングでは、被エッチング物へのバイアス電圧の印加やプラズマと磁界との相互作用を利用して荷電粒子であるイオンを加速することができるため、一般には異方性エッチングが進行し、被エッチング物の加工面は垂直壁となる。しかし、この[工程-250]では、プラズマ中の主エッチング種の中にも垂直以外の角度を有する入射成分が若干存在すること、及び開口部78Aの端部における散乱によってもこの斜め入射成分が生ずることにより、電子放出層74の露出面の中で、本来であれば開口部78Aによって遮蔽されてイオンが到達しないはずの領域にも、ある程度の確率で主エッチング種が入射する。このとき、電子放出層74の法線に対する入射角の小さい主エッチング種ほど入射確率は高く、入射角の大きい主エッチング種ほど入射確率は低い。従って、電子放出層74に形成された開口部78Cの上端部の位置は開口部78Bの下端部とほぼ揃っているものの、開口部78Cの下端部の位置はその上端部よりも突出した状態となる。つまり、電子放出層74の厚さが、突出方向の先端部に向けて薄くなり、端部が先鋭化される。ここでは、エッチング・ガスとしてSF<sub>6</sub>を用いることにより、電子放出層74の良好な加工を行うことができる。

【0041】[工程-260] 次に、開口部78Cの底面に露出した第1絶縁層73を等方的にエッチングし、開口部78Dを形成し、開口部78を完成させる(図16の(B)参照)。ここでは、上述の第2絶縁層75の場合と同様に、緩衝化フッ酸水溶液を用いたウェットエッチングを行う。開口部78Dの壁面は開口部78Cの下端部よりも後退する。このときの後退量はエッチング時間の長短により制御可能である。このとき、先に形成された開口部78Bの壁面は更に後退する。尚、開口部78の完成後にレジスト層79を除去すると、図12の(B)に示した構造を有するエッジ型電界放出素子が形成されたカソード・パネルを得ることができる。

【0042】平面型電界放出素子の模式的な一部端面図を、図17に示す。この平面型電界放出素子は、(イ)支持体81上に形成された電子放出層84、(ロ)電子放出層84上を含む支持体81上に形成された絶縁層85、(ハ)絶縁層85上に形成されたゲート電極86、並びに、(ニ)ゲート電極86及び絶縁層85を貫通し、底部に電子放出層84の表面が露出した開口部88、から成り、開口部88の底部に露出した電子放出層84の表面から電子が放出される。尚、支持体81は、カソード・パネル・ユニット用の基板に相当する。

【0043】図17に示した平面型電界放出素子の製造方法を、以下、図18を参照して説明する。

【0044】[工程-300] 先ず、例えばガラス基板から成る支持体81の上に、スパッタ法により厚さ約



0.2  $\mu\text{m}$ のタングステンから成る電子放出層用導電材料層を製膜し、通常の手順に従ってこの電子放出層用導電材料層をパターニングし、電子放出層84を形成する。パターニングされた電子放出層用導電材料層はストライプ形状を有する。次に、電子放出層84上を含む支持体81上に絶縁層85を形成する。ここでは一例としてTEOS（テトラエトキシシラン）原料ガスとして用いるCVD法により、 $\text{SiO}_2$ 層を約1  $\mu\text{m}$ の厚さに形成する。更に、この絶縁層85の上に、例えば厚さ約0.2  $\mu\text{m}$ のタングステンから成るゲート電極用導電材料層を製膜し、パターニングしてゲート電極86を形成する。パターニングされたゲート電極用導電材料層はストライプ形状を有する。ここまでのプロセスが終了した状態を、図18の(A)に示す。

【0045】[工程-310] 次に、全面にレジスト層89を形成し、更にこのレジスト層89に、ゲート電極86の表面を一部露出させるようにレジスト開口部89Aを形成する。レジスト開口部89Aの平面形状は、例えば円形である。続いて、レジスト開口部89Aの底部に露出したゲート電極86を例えばRIE法により異方的にエッチングする。ここではゲート電極86をタングステンをを用いて構成しているのので、 $\text{SF}_6$ ガスを用いたエッチングを行うことができる。ここまでのプロセスが終了した状態を、図18の(B)に示す。

【0046】[工程-320] 次に、レジスト開口部89Aの内部に露出した絶縁層85を等方的にエッチングし、開口部88を形成する（図18の(C)参照）。ここでは、絶縁層85を $\text{SiO}_2$ を用いて形成しているので、緩衝化フッ酸水溶液を用いたウェットエッチングを行う。絶縁層85の壁面は、ゲート電極86の先端部よりも後退するが、このときの後退量はエッチング時間の長短により制御することができる。こうして、図17に示す平面型電界放出素子が形成されたカソード・パネルを得ることができる。

【0047】スピント型電界放出素子における電子放出電極26は、タングステン(W)、ニオブ(Nb)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、クロム(Cr)、アルミニウム(Al)、銅(Cu)等の金属又はこれらの金属元素を含む合金や化合物を用いて形成することができるが、中でも所謂高融点金属あるいはその合金や化合物を用いて形成することが好ましい。電子放出電極26は、例えば、蒸着法やスパッタ法によって形成することができる。

【0048】エッジ型電界放出素子あるいは平面型電界放出素子における電子放出層74、84は、典型的には、タングステン(W)やタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、クロム(Cr)、あるいはこれらの合金や化合物（例えばTiN等の窒化物や、 $\text{WSi}_2$ 、 $\text{MoSi}_2$ 、 $\text{TiSi}_2$ 、 $\text{TaSi}_2$ 等のシリサイド）、あるいはダイヤモンド等の半導体から構成

することができる。電子放出層74、84の形成方法として、蒸着法、スパッタ法、CVD法、イオン・プレーティング法、印刷法、メッキ法等、通常の薄膜作製プロセスを利用できる。電子放出層74、84の厚さは、おおよそ0.05~0.5  $\mu\text{m}$ 、好ましくは0.1~0.3  $\mu\text{m}$ の範囲とすることが望ましいが、かかる範囲に限定するものではない。電子放出層74、84を構成する材料は、ゲート電極を構成する材料と同じであっても、異なってもよい。

【0049】スピント型電界放出素子におけるカソード電極22、ゲート電極24、エッジ型電界放出素子におけるゲート電極76、若しくは、第1ゲート電極72、第2ゲート電極77、平面型電界放出素子におけるゲート電極86を構成する材料として、タングステン

(W)、ニオブ(Nb)、タンタル(Ta)、モリブデン(Mo)、クロム(Cr)、アルミニウム(Al)、銅(Cu)等の金属、これらの金属元素を含む合金あるいは化合物、あるいはシリコン(Si)等の半導体やダイヤモンド、カーボンを例示することができる。尚、第これらの電極を構成する材料を、同一の材料としてもよいし、同種材料としてもよいし、異種の材料としてもよい。これらの電極の形成方法として、蒸着法、スパッタ法、CVD法、イオン・プレーティング法、印刷法、メッキ法等、通常の薄膜作製プロセスを利用できる。

【0050】絶縁層23、第1絶縁層73、第2絶縁層75、絶縁層85の構成材料としては、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiON}$ 、ガラス・ペースト硬化物を単独あるいは適宜積層して使用することができ、製膜には、CVD法、塗布法、スパッタ法、印刷法等の公知のプロセスが利用できる。

【0051】カソード・パネル・ユニット用の基板に相当する支持体21、71、81は、少なくとも表面が絶縁性を有する材料から構成されていればよく、ガラス基板、表面に絶縁膜が形成されたガラス基板、石英基板、表面に絶縁膜が形成された石英基板、表面に絶縁膜が形成された半導体基板を挙げることができる。カソード・パネル用基板20として、例えばガラス基板を挙げることができる。アノード・パネル50を構成する基板51としても、少なくとも表面が絶縁性を有する材料から構成されていればよく、ガラス基板、表面に絶縁膜が形成されたガラス基板、石英基板、表面に絶縁膜が形成された石英基板、表面に絶縁膜が形成された半導体基板を挙げることができ、表示装置の構成に依っては、透明性が要求される。

【0052】本発明においては、ゲート電極や第2ゲート電極上を含む全面に更に層間絶縁層を形成し、かかる層間絶縁層上にフォーカス電極を形成する構成とすることもできる。この場合、層間絶縁層には開口部に連通する第2開口部が設けられている。フォーカス電極は、アノード電極へ向かう電子の軌道を収束させ、以て、輝度

の向上や隣接画素間の色濁りの防止を可能とするための電極であり、カソード・パネルとアノード・パネルとの間の距離が比較的長い表示装置を想定した場合に、特に有効な電極である。フォーカス電極は、必ずしも各電界放出素子毎に設ける必要はなく、例えば、電界放出素子の所定の配列方向に沿って配設することにより、複数の電界放出素子に共通の収束効果を及ぼすこともできる。従って、層間絶縁層に設けられる第2開口部は、必ずしもフォーカス電極を構成する材料層に設けられている必要はない。第2開口部の平面形状は、フォーカス電極の構成に依り、開口部の平面形状と合同又は相似としてもよいし、異なってもよい。

【0053】本発明のカソード・パネル・ユニットの試験方法の実施に適した本発明の試験（検査あるいは評価）装置の概要を、図21を参照して、以下、説明する。図21に示したこの試験装置は、1枚のカソード・パネル・ユニットを検査するのに適している。

【0054】この試験装置100は、上部が開口したハウジング101を具備する。ハウジング101内には、試験すべきカソード・パネル・ユニットを載置するための検査台102が配設されており、検査台102の下には検査台昇降シリンダー103が取り付けられている。検査台昇降シリンダー103は、図示しない移動台座に乘せられており、検査台102ごと図21の紙面垂直方向に移動可能である。検査台102の下には、更に、ピン昇降シリンダー104が取り付けられており、ピン昇降シリンダー104の作動によって検査台102を貫通した孔内をピン105が上下する。ハウジング101は、バルブ107を介して真空ポンプ（図示せず）に繋がれており、ハウジング101の雰囲気気を真空にすることができる。また、ガス流量制御装置108を介してハウジング101内にアルゴンガス等の不活性ガスを導入することができる構造となっている。ハウジング101内には、更に、カソード・パネル・ユニットの端子部に接触し得る構造の検査電圧印加針109が、例えばカソード・パネル・ユニットに設けられた端子部の数だけ配置されている。

【0055】ハウジング101の開口した上部には、透明基板51上（検査台側）に形成された蛍光体層52及びアノード電極53を有する、アノード・パネルと同様の構成を有するパネル50Aが配置されている。パネル50Aの上方にはCCDを有する受像装置110が配設されている。受像装置110は画像検査ユニット111に電気的に接続されている。また、電圧源・走査電圧コントローラ112が、画像検査ユニット111、検査電圧印加針109及びアノード電極53に電気的に接続されている。

【0056】尚、扉（図示せず）とハウジング101の間にカソード・パネル・ユニット搬出入部を設け、ハウジング101とカソード・パネル・ユニット搬出入部

（以下、単に搬出入部と呼ぶ）との間にシャッターを設け、シャッターを閉じた状態でカソード・パネル・ユニットを搬出入部に搬入し、扉を開けて搬出入部を真空雰囲気とし、次いで、シャッターを開いてカソード・パネル・ユニットをハウジング101内に搬入する方式としてもよい。このような方式にすることによって、ハウジング101内を常に真空雰囲気に保持することができ、試験時間の短縮化を図ることができる。扉や搬出入部を複数設ければ、試験時間の一層の短縮化を図ることができる。

【0057】図22に、本発明のカソード・パネル・ユニットの試験方法の実施に適した本発明の試験装置の変形例の概要を示す。複数のカソード・パネル・ユニットを1枚の支持体から形成した後、支持体を切断し、カソード・パネル・ユニットの動作試験を行う代わりに、図22に示したこの試験装置100Aにおいては、切断前の複数のカソード・パネル・ユニットが形成された1枚の支持体を検査する。

【0058】図22に示した試験装置100Aが図21に示した試験装置100と異なる点は、検査台102の下に取り付けられた検査台昇降シリンダー103が、XYテーブルに乘せられており、検査台102が、X方向駆動ステッピングモータ121及びY方向駆動ステッピングモータ122の動作によりX方向及びY方向に移動可能な点にある。パネル50Aの大きさは、1枚あるいは複数枚のカソード・パネル・ユニットを試験することができる大きさである。図22に示した試験装置100Aは、図21に示した試験装置100よりもサイズは大きくなるものの、複数のカソード・パネル・ユニットを短時間で検査することが可能となる。

【0059】尚、検査台コントローラ113が画像検査ユニット111に電気的に接続されている。更に、X方向駆動ステッピングモータ121及びY方向駆動ステッピングモータ122が検査台コントローラ113に電気的に接続されている。そして、画像検査ユニット111からの位置データに基づき、検査台コントローラ113、X方向駆動ステッピングモータ121及びY方向駆動ステッピングモータ122の作動によって、検査台102に載置された支持体における試験すべきカソード・パネル・ユニットがパネル50Aの直下に置かれる。

【0060】（実施の形態1）実施の形態1は、本発明のカソード・パネル・ユニット、カソード・パネル及びその製造方法、表示装置、並びに、上述した試験装置を用いたカソード・パネル・ユニットの試験方法に関する。4枚のカソード・パネル・ユニット11を組み立てた状態の部分的な模式的平面図を図1に示す。また、1枚のカソード・パネル・ユニット11の模式的な部分的斜視図を図2の（A）に示し、カソード電極22、ゲート電極24、電子放出電極26等の配置を示すための分解斜視図を図2の（B）に示す。尚、図2の（B）にお



いては、支持体や絶縁層等の図示を省略している。更に、スピント型電界放出素子を適用した表示装置の概念図を図 8 に示し、カソード・パネル 10 及びアノード・パネル 50 の一部分の模式的な分解斜視図を図 9 に示す。

【0061】電子放出領域 12 の構成は、前述した、複数（例えば、数十乃至千個程度）のスピント型電界放出素子、あるいは、複数（例えば、数十乃至数百個程度）のエッジ型電界放出素子、あるいは、1 つ若しくは複数の平面型電界放出素子から構成することができる。以下、全ての実施の形態において、原則として、複数のスピント型電界放出素子から電子放出領域 12 が構成されている場合を例にとり、カソード・パネル等を説明するが、他の電界放出素子から電子放出領域 12 が構成されている場合であっても実質的には同様である。また、スピント型、エッジ型あるいは平面型の電界放出素子それ自体の製造方法は、先に説明したとおりとすればよい。

【0062】1 つの電子放出領域 12 は、例えば数十乃至千個程度のスピント型電界放出素子から構成されている。ストライプ状にパターンニングされたカソード電極用導電材料層 22A（図 1 には点線で示し、図 2 の（A）には 1 つのみを点線で示す）に、電子放出領域 12 を構成するスピント型電界放出素子のカソード電極 22 が所望の数だけ存在している。具体的には、ストライプ状のカソード電極用導電材料層 22A それ自体がカソード電極 22 に相当し、開口部 25 の底部に位置するカソード電極用導電材料層 22A の領域がカソード電極 22 に該当する。また、ストライプ状にパターンニングされたゲート電極用導電材料層 24A に、電子放出領域 12 を構成するスピント型電界放出素子のゲート電極 24 が所望の数だけ存在している。具体的には、ストライプ状のゲート電極用導電材料層 24A それ自体がゲート電極 24 に相当し、開口部 25 の近傍に位置するゲート電極用導電材料層 24A の領域がゲート電極 24 に該当する。そして、ストライプ状のカソード電極用導電材料層 22A とストライプ状のゲート電極用導電材料層 24A とが重複する領域が、各電子放出領域 12 に相当する。ストライプ状のカソード電極用導電材料層 22A の延びる方向（第 1 の方向とする）と、ストライプ状のゲート電極用導電材料層 24A の延びる方向（第 2 の方向とする）とは異なる。第 2 の方向は、第 1 の方向に対して直角であることが好ましい。ストライプ状のカソード電極用導電材料層 22A の端部に端子部 31 が設けられており、一方、ストライプ状のゲート電極用導電材料層 24A の端部にも端子部 34 が設けられている。

【0063】あるいは又、1 つの電子放出領域 12 は、例えば数十乃至数百個程度のエッジ型電界放出素子から構成されている。図 12（A）に示した構造を有するエッジ型電界放出素子から構成された 1 つの電子放出領域 12 においては、ストライプ状にパターンニングされた電

子放出層用導電材料層に、電子放出領域 12 を構成するエッジ型電界放出素子の電子放出層 74 が所望の数だけ存在している。具体的には、ストライプ状の電子放出層用導電材料層それ自体が電子放出層 74 に相当し、開口部 78 の近傍に位置する電子放出層用導電材料層の領域が電子放出層 74 に該当する。更には、ストライプ状にパターンニングされたゲート電極用導電材料層に、電子放出領域 12 を構成するエッジ型電界放出素子のゲート電極 76 が所望の数だけ存在している。具体的には、ストライプ状のゲート電極用導電材料層それ自体がゲート電極 76 に相当し、開口部 78 の近傍に位置するゲート電極用導電材料層の領域がゲート電極 76 に該当する。そして、ストライプ状のカソード電極用導電材料層とストライプ状のゲート電極用導電材料層とが重複する領域が、各電子放出領域 12 に相当する。ストライプ状の電子放出層用導電材料層の延びる方向（第 1 の方向とする）と、ストライプ状のゲート電極用導電材料層の延びる方向（第 2 の方向とする）とは異なる。第 2 の方向は、第 1 の方向に対して直角であることが好ましい。ストライプ状の電子放出層用導電材料層の端部に端子部が設けられており、一方、ストライプ状のゲート電極用導電材料層の端部にも端子部が設けられている。

【0064】更には、図 12 の（B）に示した構造を有するエッジ型電界放出素子から構成された 1 つの電子放出領域 12 においては、ストライプ状にパターンニングされた第 1 ゲート電極用導電材料層に、電子放出領域 12 を構成するエッジ型電界放出素子の第 1 ゲート電極 72 が所望の数だけ存在している。具体的には、ストライプ状の第 1 ゲート電極用導電材料層それ自体が第 1 ゲート電極 72 に相当し、開口部 78 の底部に位置する第 1 ゲート電極用導電材料層の領域が第 1 ゲート電極 72 に該当する。また、ストライプ状にパターンニングされた電子放出層用導電材料層に、電子放出領域 12 を構成するエッジ型電界放出素子の電子放出層 74 が所望の数だけ存在している。具体的には、ストライプ状の電子放出層用導電材料層それ自体が電子放出層 74 に相当し、開口部 78 の近傍に位置する電子放出層用導電材料層の領域が電子放出層 74 に該当する。更には、ストライプ状にパターンニングされた第 2 ゲート電極用導電材料層に、電子放出領域 12 を構成するエッジ型電界放出素子の第 2 ゲート電極 77 が所望の数だけ存在している。具体的には、ストライプ状の第 2 ゲート電極用導電材料層それ自体が第 2 ゲート電極 77 に相当し、開口部 78 の近傍に位置する第 2 ゲート電極用導電材料層の領域が第 2 ゲート電極 77 に該当する。ストライプ状の電子放出層用導電材料層の延びる方向と（第 1 の方向とする）と、ストライプ状の第 1 ゲート電極用導電材料層の延びる方向（第 2 の方向とする）とは異なる。第 2 の方向は、第 1 の方向に対して直角であることが好ましい。ストライプ状の第 2 ゲート電極用導電材料層の延びる方向は、第 1

の方向であってもよいし、第2の方向であってもよいが、構成の簡素化の面からは、第1の方向に延びていることが好ましい。ストライプ状の電子放出層用導電材料層の端部、ストライプ状の第1ゲート電極用導電材料層の端部及びストライプ状の第2ゲート電極用導電材料層の端部のそれぞれには端子部が設けられている。

【0065】あるいは又、1つの電子放出領域12は、例えば1つ若しくは複数の平面型電界放出素子から構成されている。図17に示した構造を有する平面型電界放出素子から構成された1つの電子放出領域12においては、ストライプ状にパターンニングされた電子放出層用導電材料層に、電子放出領域12を構成する平面型電界放出素子の電子放出層84が所望の数だけ存在している。具体的には、ストライプ状の電子放出層用導電材料層それ自体が電子放出層84に相当し、開口部88の底部に位置する電子放出層用導電材料層の領域が電子放出層84に該当する。更には、ストライプ状にパターンニングされたゲート電極用導電材料層に、電子放出領域12を構成するエッジ型電界放出素子のゲート電極86が所望の数だけ存在している。具体的には、ストライプ状のゲート電極用導電材料層それ自体がゲート電極86に相当し、開口部88の近傍に位置するゲート電極用導電材料層の領域がゲート電極86に該当する。ストライプ状の電子放出層用導電材料層の延びる方向（第1の方向とする）と、ストライプ状のゲート電極用導電材料層の延びる方向（第2の方向とする）とは異なる。第2の方向は、第1の方向に対して直角であることが好ましい。ストライプ状の電子放出層用導電材料層及びストライプ状のゲート電極用導電材料層の端部のそれぞれには端子部が設けられている。

【0066】実施の形態1においては、例えば、縦横比16:9、対角4インチのカソード・パネル・ユニット11を、例えば1m×1mのガラス基板から成る支持体21を用いて作製する。このような大きさの支持体21を用いる場合、209枚のカソード・パネル・ユニット11を作製することができる。尚、支持体21の大きさは上述の大きさに限定されず、例えば200mm×200mmの大きさの支持体21を用いれば、8枚のカソード・パネル・ユニット11を作製することができる。支持体21の大きさを小さくすれば、カソード・パネル・ユニット製造設備が小型になるため、製膜装置の膜厚バラツキ・加工精度・プロセスダストの発生が改善され、カソード・パネル・ユニット製造過程での欠陥発生率が低下する。また、製造設備の小型化は保守に必要なメンテナンス時間の短縮に繋がり、カソード・パネル・ユニット設備稼働率を上げることができる。但し、カソード・パネル・ユニット製造設備の数が増加し、製造設備の占有床面積が増加する。従って、生産規模に応じて、使用する支持体21の大きさを選択すればよい。

【0067】大面積の表示装置を製造する上で、動作不

良の電界放出素子（図31の（A）には、黒点で示す）が存在したとしても、表示装置の製造歩留が極端に低下することはない。例えば、縦横比16:9、対角32インチの表示装置を製造するために1m×1mのガラス基板を支持体として使用することを想定した場合、例えば図31の（A）の右側に示すように、動作不良の電界放出素子を含むカソード・パネル・ユニットを廃棄するとしても、相当数の良好なるカソード・パネル・ユニットを得ることができる。また、1m×1mのガラス基板を支持体として使用することを想定した場合、各種製膜工程において支持体の四隅に膜厚や膜特性の変動が生じ易いが、図31の（B）の右側に示すように、かかる変動が発生した場合であっても、相当数の良好なるカソード・パネル・ユニットを得ることができる。

【0068】1枚の支持体21から複数のカソード・パネル・ユニット11を作製した後、ダイヤモンドカッターを用いて、支持体21を切断し、カソード・パネル・ユニット11を得ることができる。その後、洗浄を行い、図21に示した試験装置において、カソード・パネル・ユニット11の試験を行う。あるいは又、1枚の支持体21から複数のカソード・パネル・ユニット11を作製した後、切断前の支持体21全体に対して洗浄を行い、次いで、図22に示した試験装置において、各カソード・パネル・ユニット11の試験を行う。その後、ダイヤモンドカッターを用いて、支持体21を切断し、カソード・パネル・ユニット11を得ることができる。尚、試験方法については後述する。

【0069】カソード・パネル・ユニット11は、支持体21と、支持体21上に形成された複数の冷陰極電界電子放出領域群（以下、単に、電子放出領域群と呼ぶ）から構成されている。各電子放出領域群は、複数の電子放出領域12から構成されている。具体的には、ストライプ状のカソード電極用導電材料層22Aとストライプ状にパターンニングされたゲート電極用導電材料層24Aとが重複する領域が、各電子放出領域12に相当する。尚、1つのストライプ状のカソード電極用導電材料層22Aから構成された複数の電子放出領域12から1つの電子放出領域群が構成されており、1つのストライプ状のゲート電極用導電材料層24Aから構成された複数の電子放出領域12からも1つの電子放出領域群が構成されている。即ち、1つの電子放出領域12は、2つの電子放出領域群に属する。1枚のカソード・パネル・ユニット11内でのカソード電極用導電材料層22Aのピッチ $P_1$ を一定とし、ゲート電極用導電材料層24Aのピッチ $P_2$ も一定とすることが好ましい。また、カソード・パネル・ユニット11の最外部に位置するカソード電極用導電材料層22Aと、このカソード・パネル・ユニット11に隣接するカソード・パネル・ユニット11の最外部に位置するカソード電極用導電材料層22Aとの間のピッチを $P_1$ とすることが好ましい。更には、カソ

ード・パネル・ユニット 11 の最外部に位置するゲート電極用導電材料層 24A と、このカソード・パネル・ユニット 11 に隣接するカソード・パネル・ユニット 11 の最外部に位置するゲート電極用導電材料層 24A との間のピッチを  $P_2$  とすることが好ましい。

【0070】カソード・パネル・ユニット 11 は、各電子放出領域群から延びる端子部 31, 34 を有する。具体的には、各ストライプ状のカソード電極用導電材料層 22A の端部に端子部 31 が設けられており、各ストライプ状のゲート電極用導電材料層 24A の端部に端子部 34 が設けられている。カソード電極用導電材料層 22A の端部に設けられた端子部 31 は、例えば【工程-130】の後、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層 22A の端部上方の絶縁層 23 に孔部 30 を形成し、カソード電極用導電材料層 22A の端部表面を露出させることによって得ることができる。一方、各ストライプ状のゲート電極用導電材料層 24A の端部に設けられた端子部 34 は、各ストライプ状のゲート電極用導電材料層 24A の端部表面それぞれとすればよい。

【0071】そして、各カソード・パネル・ユニット 11 の端子部 31, 34 を、隣接するカソード・パネル・ユニット 11 の端子部 31, 34 と電気的に接続すれば、即ち、配線 32, 35（より具体的には、ボンディング用金属チップ）を用いて接続すれば、カソード・パネル 10 を構成することができる。

【0072】図 3 に概念的な斜視図を示すように、カソード・パネル 10 は、カソード・パネル用基板 20 と、外部（例えば、走査回路及び制御回路）との電気的接続のためにカソード・パネル用基板 20 の外周部に設けられた複数の接続端子部 13A, 13B と、複数のカソード・パネル・ユニット 11 から構成されている。各カソード・パネル・ユニット 11 は、カソード・パネル用基板 20 に取り付けられている。具体的には、各カソード・パネル・ユニット 11 は、カソード・パネル用基板 20 に接着されている。各カソード・パネル・ユニット 11 の端子部 31, 34 は、上述のとおり、隣接するカソード・パネル・ユニット 11 の端子部 31, 34 と電気的に接続されている。また、カソード・パネル用基板 20 の外周部に取り付けられたカソード・パネル・ユニット 11 の端子部 31, 34 は、カソード・パネル用基板 20 の外周部に設けられた接続端子部 13A, 13B に電気的に接続されている。即ち、配線 14（より具体的には、ボンディング用金属チップ）を用いて電気的に接続されている。

【0073】カソード・パネル 10 は、以下の工程にて作製することができる。即ち、カソード・パネル・ユニット 11 を作製し、複数のカソード・パネル・ユニット 11 を、外部（例えば、走査回路及び制御回路）との電気的接続のための複数の接続端子部 13A, 13B が外周

部に設けられたカソード・パネル用基板 20 に取り付け（例えば、接着する）。尚、図 7 に示すように、カソード・パネル用基板 20 には予め位置マーク 15 をエッチング法等によって設けておく。そして、画像認識装置付きの組立機を用いて、画像認識装置にて位置マーク 15 の位置を検出し、例えばセラミックス系の接着剤が表面に塗布されたカソード・パネル用基板 20 上の所定の位置にカソード・パネル・ユニット 11 を置けばよい。そして、例えば加熱することによって接着剤を硬化させることでカソード・パネル用基板 20 にカソード・パネル・ユニット 11 を取り付けることができる。その後、各カソード・パネル・ユニット 11 の端子部 31, 34 と、隣接するカソード・パネル・ユニット 11 の端子部 31, 34 とを、超音波圧着法にて各端子部にボンディング用金属チップを圧着することによって電気的に接続する。また、カソード・パネル用基板 20 の外周部に取り付けられたカソード・パネル・ユニット 11 の端子部 31, 34 と、カソード・パネル用基板 20 の外周部に設けられた接続端子部 13A, 13B とを、超音波圧着法にて各端子部にボンディング用金属チップを圧着することによって電気的に接続する。

【0074】尚、ポリシリコンから成るカソード電極用導電材料層 22A、及び  $TiN$  から成るゲート電極用導電材料層 24A に対して共にオーミック性の電気的な接続が可能なボンディング用金属チップを構成する材料として、チタン ( $Ti$ ) を挙げることができる。 $Ti$  を用いた場合、合金化反応によるボンディング用金属チップのカソード電極用導電材料層 22A あるいはゲート電極用導電材料層 24A への固着が難しいが、図 3 及び図 4 に示すスペーサ 40 を用いることによって、ボンディング用金属チップのカソード電極用導電材料層 22A あるいはゲート電極用導電材料層 24A への固着を確実なものとするることができる。例えば石英といった絶縁材料から作製されたスペーサ 40 は、カソード・パネル 10 とアノード・パネル 50 との間の距離を一定の値に保持する機能も有する。また、模式的な一部端面図である図 4 に示すように、カソード・パネル・ユニット 11 と接するスペーサ 40 の面には凹部が形成されており、この凹部に絶縁材料から作製された固定部材 41 が収納されている。固定部材 41 は配線 32, 35 であるボンディング用金属チップの上に被さった状態にあり、しかも端子部 31, 34 の表面に接触している。このような構成にすることによって、配線 32, 35 が動くことが無くなる。カソード・パネル・ユニット 11 の表面と接触するスペーサ 40 の底面には接着剤が塗布されている。固定部材 41 が配線 32, 35 であるボンディング用金属チップの上に被さった状態となるようにスペーサ 40 をカソード・パネル・ユニット 11 上に配置した後、例えば接着剤を硬化させることによって、カソード・パネル・ユニット 11 に対してスペーサ 40 を固定することが

できる。

【0075】表示装置の基本的な構造を、図8及び図9に示す。カソード・パネル・ユニット11がカソード・パネル用基板20上に取り付けられている点を除き、本発明の表示装置は、図32及び図33に示した従来の表示装置と基本的には同じ構造を有する。即ち、本発明の表示装置は、複数の画素から構成され、各画素は、カソード・パネル10に設けられた電子放出領域12と、電子放出領域12に対向してアノード・パネル50上に設けられたアノード電極53及び蛍光体層52(52R, 52G, 52B)とから構成されている。そして、カソード・パネル10は、カソード・パネル用基板20と、外部(例えば、走査回路及び制御回路)との電気的接続のためにカソード・パネル用基板20の外周部に設けられた複数の接続端子部13A, 13Bと、カソード・パネル用基板20に取り付けられたカソード・パネル・ユニット11から構成されている。各カソード・パネル・ユニットの構成は、先に説明したとおりである。そして、各カソード・パネル・ユニット11の端子部31, 34は、隣接するカソード・パネル・ユニット11の端子部31, 34と例えばボンディング用金属チップを用いて電気的に接続されている。一方、カソード・パネル用基板20の外周部に取り付けられたカソード・パネル・ユニット11の端子部31, 34は、カソード・パネル用基板20の外周部に設けられた接続端子部13A, 13Bに例えばボンディング用金属チップを用いて電気的に接続されている。

【0076】カソード・パネル10とアノード・パネル50とは、図示しないフリット・ガラスをこれらのパネルの外周部(カソード・パネル10においては、例えば接続端子部13A, 13Bの一部の上を含むカソード・パネル用基板20の表面上)、及び、セラミックスやガラス、石英から作製された枠体(図示せず)に塗布し、カソード・パネル10とアノード・パネル50とを枠体を挟んだ状態で、フリット・ガラスを乾燥、焼成する。これによって、カソード・パネル10とアノード・パネル50と枠体とを接合することができる。その後、カソード・パネル10とアノード・パネル50と枠体とで囲まれた空間を真空とすればよい。

【0077】図21を参照して先に説明した本発明の試験装置100を用いたカソード・パネル・ユニット11の試験方法を、以下、説明する。尚、1枚のカソード・パネル・ユニット11を検査する。即ち、1枚の支持体21から複数のカソード・パネル・ユニット11を作製した後、ダイヤモンドカッターを用いて、支持体21を切断し、カソード・パネル・ユニット11を得る。その後、洗浄を行い、図21に示した試験装置において、カソード・パネル・ユニット11の試験を行う。

【0078】カソード・パネル・ユニット11の動作試験に際しては、ピン105を上昇位置に配置した状態で

ピン105上にカソード・パネル・ユニット11を置き、次いで、ピン105を下降させることによって、カソード・パネル・ユニット11を検査台102に載置する。そして、ハウジング101に設けられた扉(図示せず)を介して、検査台102に載置されたカソード・パネル・ユニット11をハウジング101内に搬入した後、ハウジング101内を真空ポンプによって真空雰囲気とする。尚、ガス流量制御装置108を介してハウジング101内にアルゴンガス等の不活性ガスを導入し、ハウジング101内の圧力を所定の値(例えば、 $1.2 \times 10^3 \text{ Pa}$ )に制御する。尚、ハウジング101内の圧力は、 $10 \sim 10^3 \text{ Pa}$ オーダーとすることが望ましい。

【0079】ハウジング101内が所望の雰囲気となったならば、検査台昇降シリンダー103を作動させて、検査台102を上昇させ、カソード・パネル・ユニット11とパネル50との間の距離を、例えば1mmとする。併せて、接続端子部13A, 13Bに検査電圧印加針109を接触させる。そして、電圧源・走査電圧コントローラ112から検査電圧印加針109、端子部13Aを介して電子放出領域12のカソード電極22に第2の所定の電圧に相当する走査用電圧(例えば、10ボルト)を印加し、検査電圧印加針109、接続端子部13Bを介して電子放出領域12のゲート電極24に第2の所定の電圧に相当する制御用電圧(例えば、15ボルト)を印加し、更に、アノード電極53に第1の所定の電圧に相当する加速用電圧(例えば、1.5kボルト)を印加する。これによって、電子放出領域を構成する電子放出電極26の先端部から電子が放出される。そして、電子は、パネル50に設けられたアノード電極53に引き付けられ、アノード電極53と透明基板51との間に形成された発光体層である蛍光体層52に衝突する。その結果、蛍光体層52が励起されて発光し、所望の画像を得ることができる。

【0080】尚、例えば、1つに接続端子部13Aに走査用電圧を印加した状態で、接続端子部13Bに順次、制御用電圧を印加し、全ての接続端子部13Bに対して係る操作が終わったならば、次の接続端子部13Aに走査用電圧を印加した状態で、接続端子部13Bに順次、制御用電圧を印加し、全ての接続端子部13Bに対して係る操作が終わったならば、次の接続端子部13Aに走査用電圧を印加するといった操作を、全ての接続端子部13Aに対して繰り返す。尚、これとは逆に、例えば、1つに接続端子部13Bに制御用電圧を印加した状態で、接続端子部13Aに走査用電圧順次、を印加し、全ての接続端子部13Aに対して係る操作が終わったならば、次の接続端子部13Bに制御用電圧を印加した状態で、接続端子部13Aに順次、走査用電圧を印加し、全ての接続端子部13Aに対して係る操作が終わったならば、次の接続端子部13Bに制御用電圧を印加するとい

った操作を、全ての接続端子部13Bに対して繰り返してもよい。

【0081】かかる画像を受像装置110にて受像し、受像装置110からの信号を画像検査ユニット111にて処理する。電子放出領域12に欠陥がある場合、かかる電子放出領域12に対応する画素に基づく画像には暗点（減点）や輝点、輝度ムラ等が発生する。このような画像異常を生じさせた電子放出領域12の位置を画像検査ユニット111にて解析し、図示しないディスプレイに表示する。尚、カソード・パネル・ユニット11に対して、従来の電子放出領域12の抵抗値や異常発熱を測定して短絡の有無を検査する配線短絡試験を併せて行うことも好ましい。

【0082】表示試験完了後、ハウジング101内の雰囲気大気を真空雰囲気とし、検査台昇降シリンダー103を作動させて、検査台102を下降させ、カソード・パネル・ユニット11が載置された検査台102をハウジング101から搬出する。画像異常を生じさせた電子放出領域12が存在するカソード・パネル・ユニット11は、例えば廃棄する。

【0083】（実施の形態2）実施の形態2は発明の実施の形態1の変形である。実施の形態2のカソード・パネル・ユニットが実施の形態1のカソード・パネル・ユニットと相違する点は、カソード・パネル・ユニットに設けられた端子部の構成が異なっている点にある。4枚のカソード・パネル・ユニット11を組み立てた状態の部分的な模式的平面図を図5に示す。また、実施の形態2においては、図22を参照して先に説明した本発明の試験装置100Aを用いてカソード・パネル・ユニットの試験方法を行う。即ち、1枚の支持体21から複数のカソード・パネル・ユニット11を作製した後、支持体21全体に対して洗浄を行い、次いで、図22に示した試験装置100Aにおいて、各カソード・パネル・ユニット11の試験を行う。その後、ダイヤモンドカッターを用いて、支持体21を切断し、カソード・パネル・ユニット11を得ることができる。

【0084】カソード・パネル・ユニット、カソード・パネル及び表示装置の基本的な構成は実施の形態1と同様とすればよいし、カソード・パネル及びその製造方法も実質的には実施の形態1と同様とすればよい。

【0085】実施の形態2においては、1枚の支持体21から複数のカソード・パネル・ユニット11を作製した後、全面にレジスト層を形成し、端子部31、34の上方のレジスト層にリソグラフィ技術に基づきレジスト開口部を設ける。即ち、ストライプ状のカソード電極用導電材料層22Aの端部の上方の絶縁層23に形成された孔部30の上方のレジスト層、及び、ストライプ状のゲート電極用導電材料層24Aの端部の端子部形成予定領域の上方のレジスト層に開口部を設ける。

【0086】そして、全面に、例えば蒸着法にてアルミ

ニウム系合金層を形成した後、レジスト層を剥離する。こうして、図5に示すように、絶縁層23に形成された孔部30の底部に露出したカソード電極用導電材料層22Aの端部の上に、端子部31に相当するアルミニウム系合金層から成るパッド33を得ることができる。一方、ストライプ状のゲート電極用導電材料層24Aの端部の上に、端子部34に相当するアルミニウム系合金層から成るパッド36を得ることができる。

【0087】このように、アルミニウム系合金層から成るパッド33、36を設けることによって、金（Au）から成るボンディング用金属チップを用いれば、Au-A1合金化反応によるボンディングを行うことができる。即ち、金（Au）から成るボンディング用金属チップを用いて、各カソード・パネル・ユニット11の端子部31、34と、隣接するカソード・パネル・ユニット11の端子部31、34とを、超音波圧着法にて各端子部にボンディング用金属チップを圧着することによって電氣的に接続することができる。一方、カソード・パネル用基板20の外周部に取り付けられたカソード・パネル・ユニット11の端子部31、34と、カソード・パネル用基板20の外周部に設けられた接続端子部13A、13Bとを、超音波圧着法にて各端子部にボンディング用金属チップを圧着することによって電氣的に接続することができる。尚、ボンディング用金属チップが合金化反応によって端子部に確実に固定されているので、スペーサ40による固定までの間に、ボンディング用金属チップが端子部から脱落することはない。

【0088】個々のカソード・パネル・ユニット11に切断する前の支持体21を、ピン105を上昇位置に配置した状態でピン105上に置き、次いで、ピン105を下降させることによって、支持体21を検査台102に載置する。そして、ハウジング101に設けられた扉（図示せず）を介して、検査台102に載置された支持体21をハウジング101内に搬入した後、ハウジング101内を真空ポンプによって真空雰囲気とする。尚、ガス流量制御装置108を介してハウジング101内にアルゴンガス等の不活性ガスを導入し、ハウジング101内の圧力を所定の値（例えば、 $1.2 \times 10^3 \text{ Pa}$ ）に制御する。

【0089】ハウジング101内が所望の雰囲気となったならば、X方向駆動ステッピングモータ121及びY方向駆動ステッピングモータ122を動作させて、試験すべきカソード・パネル・ユニット11をパネル50Aの直下に位置させる。そして、検査台昇降シリンダー103を作動させて、検査台102を上昇させ、カソード・パネル・ユニット11とパネル50との間の距離を、例えば1mmとする。併せて、接続端子部13A、13Bに検査電圧印加針109を接触させる。そして、電圧源・走査電圧コントローラ112から検査電圧印加針109、端子部13Aを介して電子放出領域12のカソー

ド電極 22 に第 2 の所定の電圧である走査用電圧（例えば、10 ボルト）を印加し、検査電圧印加針 109、接続端子部 13B を介して電子放出領域 12 のゲート電極 24 に第 2 の所定の電圧である制御用電圧（例えば、15 ボルト）を印加し、更に、アノード電極 53 に第 1 の所定の電圧である加速用電圧（例えば、1.5 k ボルト）を印加する。これによって、電子放出領域を構成する電子放出電極 26 の先端部から電子が放出される。そして、電子は、パネル 50 に設けられたアノード電極 53 に引き付けられ、アノード電極 53 と透明基板 51 との間に形成された発光体層である蛍光体層 52 に衝突する。その結果、蛍光体層 52 が励起されて発光し、所望の画像を得ることができる。

【0090】尚、例えば、1 つに接続端子部 13A に走査用電圧を印加した状態で、接続端子部 13B に順次、制御用電圧を印加し、全ての接続端子部 13B に対して係る操作が終わったならば、次の接続端子部 13A に走査用電圧を印加した状態で、接続端子部 13B に順次、制御用電圧を印加し、全ての接続端子部 13B に対して係る操作が終わったならば、次の接続端子部 13A に走査用電圧を印加するといった操作を、全ての接続端子部 13A に対して繰り返す。尚、これとは逆に、例えば、1 つに接続端子部 13B に制御用電圧を印加した状態で、接続端子部 13A に走査用電圧順次、を印加し、全ての接続端子部 13A に対して係る操作が終わったならば、次の接続端子部 13B に制御用電圧を印加した状態で、接続端子部 13A に順次、走査用電圧を印加し、全ての接続端子部 13A に対して係る操作が終わったならば、次の接続端子部 13B に制御用電圧を印加するといった操作を、全ての接続端子部 13B に対して繰り返してもよい。

【0091】かかる画像を受像装置 110 にて受像し、受像装置 110 からの信号を画像検査ユニット 111 にて処理する。電子放出領域 12 に欠陥がある場合、かかる電子放出領域 12 に対応する画素に基づく画像には暗点（減点）や輝点、輝度ムラ等が発生する。このような画像異常を生じさせた電子放出領域 12 の位置を画像検査ユニット 111 にて解析し、図示しないディスプレイに表示する。

【0092】次いで、検査台昇降シリンダー 103 を作動させて、検査台 102 を下降させる。以降、XY テーブルを逐次移動させて、支持体 21 に形成されたカソード・パネル・ユニット 11 の全ての試験を行う。表示試験完了後、ハウジング 101 内の雰囲気大気を大気雰囲気とし、検査台昇降シリンダー 103 を作動させて、検査台 102 を下降させ、支持体 21 が載置された検査台 102 をハウジング 101 から搬出する。その後、ダイヤモンドカッターを用いて、支持体 21 を切断し、カソード・パネル・ユニット 11 を得る。画像異常を生じさせた電子放出領域 12 が存在するカソード・パネル・ユニッ

ト 11 は、例えば廃棄する。

【0093】（実施の形態 3）実施の形態 3 は発明の実施の形態 2 の変形である。実施の形態 3 のカソード・パネル・ユニットが実施の形態 2 のカソード・パネル・ユニットと相違する点は、スペーサの構造が異なる点にある。この点を除き、カソード・パネル・ユニット 11、カソード・パネル 10、表示装置、これらの作製方法、試験方法は、実施の形態 2 と同様である。

【0094】カソード・パネル・ユニット 11 及びスペーサ 60 の組立前の模式的な斜視図を、図 6 に示す。例えば石英といった絶縁材料から作製されたスペーサ 60 には、カソード・パネル・ユニット 11 の表面と接触する底面に配線 61 が例えば金ペーストを用いた印刷法にて形成されている。このようなスペーサ 60 を隣接するカソード・パネル・ユニット 11 の上に配置する。このとき、配線 61 が各カソード・パネル・ユニット 11 の端子部 31 の上に位置するようにスペーサ 60 を配置する。また、図 6 には図示しないが、配線 61 が各カソード・パネル・ユニット 11 の端子部 34 の上に位置するように別のスペーサ 60 を配置する。そして、超音波振動を用いて、あるいは熱処理を行うことによって、配線 61 と端子部 31、34 を合金化反応に基づき接続する。これによって、同時に、スペーサ 60 がカソード・パネル・ユニット 11 に対して固定される。このように、端子部 31、34 の接続と、カソード・パネル・ユニット 11 に対するスペーサ 60 の固定を同時に行うことができるので、組立作業が簡略化され、製造コスト削減及び組立歩留の向上を図ることができる。また、カソード・パネル 10 とアノード・パネル 50 との間の距離は主にスペーサ 60 の高さで規定することができるので、スペーサ 60 の高さを揃えるだけで、カソード・パネル 10 とアノード・パネル 50 との間の距離の均一化を容易に図ることができる。

【0095】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した数値や用いた各種材料は例示であり、適宜変更することができる。また、電界放出素子の製造方法も例示であり、適宜変更することができる。実施の形態 2 において説明した端子部の構造を実施の形態 1 において説明したカソード・パネル・ユニットに適用することができるし、実施の形態 1 において説明した端子部の構造を実施の形態 2 において説明したカソード・パネル・ユニットに適用することができる。

【0096】電界放出素子を、図 19 の（A）に模式的な一部端面図を示し、図 19 の（B）に模式的な分解斜視図を示すように、所謂シャント構造を有する幹配線 22C、22D を備えた構成とすることもできる。即ち、[工程 100] において、例えばガラス基板から成る支持体 21 の上に、例えばポリシリコンから成るカソー



ド電極用導電材料層をプラズマCVD法にて製膜した後、リソグラフィ技術及びドライエッチング技術に基づきカソード電極用導電材料層をパターンニングして、平面外形形状が矩形のカソード電極群、枝配線22B及び幹配線22Cを形成する。その後、全面にSiO<sub>2</sub>から成る絶縁層23'をCVD法にて製膜し、幹配線22Cの上方の絶縁層23'に孔部を形成する。その後、孔部内を含む絶縁層23'上に例えばアルミニウム系合金層をスパッタ法にて製膜し、かかるアルミニウム系合金層をパターンニングすることによって、絶縁層23'上にも幹配線22Dを形成する。かかる幹配線22Dは、孔部及び孔部に充填されたアルミニウム系合金層（これらを総称してコンタクトホールと呼ぶ）によって幹配線22Cと電気的に接続されている。次いで、全面に絶縁層53''を形成し、ゲート電極用導電材料層（例えば、TiN層）をスパッタ法にて、順次製膜し、次いで、ゲート電極用導電材料層をリソグラフィ技術及びドライエッチング技術にてパターンニングすることによってストライプ状のゲート電極用導電材料層から成り、開口部25を有するゲート電極群を形成する。その後、ゲート電極群をエッチング用マスクとして用いて、絶縁層23'', 23'に、例えば直径1μm程度の開口部25を形成する。

【0097】このようにシャント構造を有する幹配線22C, 22Dを採用することによって、信号の遅れ等の発生を回避することができる。かかるシャント構造は、エッジ型電界放出素子や平面型電界放出素子から構成された電子放出領域12を備えたカソード・パネルに対しても適用することができる。

【0098】また、図20の(A)に模式的な一部端面図を示し、図20の(B)に模式的な分解斜視図を示すように、支持体21上に幹配線22Cを形成せずに、絶縁層23'上のみ幹配線22Dを形成し、コンタクトホールを介して、支持体21上に形成された枝配線22Bと幹配線22Dとを接続する構造とすることもできる。

【0099】これらの構造にあっては、幹配線22Dの端部に端子部31を形成すればよい。

【0100】以上の説明では、支持体21から切断されたカソード・パネル・ユニット11の大きさを一定としたが、これに限定するものではない。支持体21を切断する前の4枚のカソード・パネル・ユニット11を部分的な模式的平面図を図23に示す。支持体21を切断する前の隣接するカソード・パネル・ユニット11におけるストライプ状のカソード電極用導電材料層22Aを繋げておき、ストライプ状のゲート電極用導電材料層24Aも繋げておいてもよい。尚、図23において、一点鎖線は、個々の最小単位のカソード・パネル・ユニット11を得るために切断すべき支持体21の部分を示す。尚、各カソード・パネル・ユニット11を構成するカソ

ード電極用導電材料層22Aには孔部30を設けておく。端子部31, 34の構造を、実施の形態2にて説明した構造の代わりに、実施の形態1にて説明した構造とすることもできる。そして、実施の形態2と同様にし、支持体21に形成されたカソード・パネル・ユニット11の試験を行った後、支持体21を切断してカソード・パネル・ユニット11を得る。支持体21を切断して最小単位のカソード・パネル・ユニット11が、M×N(枚)、得られるとする。また、カソード・パネルを作製するために必要とされる最小単位のカソード・パネル・ユニット11の枚数をM'×N'枚とする。実施の形態1～実施の形態3では、1枚の支持体21からM×N枚のカソード・パネル・ユニット11を得たが、その代わりに、動作不良の電界放出素子を含まない最小単位が連続したカソード・パネル・ユニット(寸法:m×n。但し、1≤m≤M', 1≤n≤N')に切断してもよい。尚、「m」は、最小単位のカソード・パネル・ユニット11の一方の辺の長さのm倍を表し、「n」は、最小単位のカソード・パネル・ユニット11の他方の辺の長さのn倍を表す。即ち、1枚の支持体21を切断することによって得られるカソード・パネル・ユニット11の大きさを、実質的に任意の大きさとしてもよい。このようにすることで、組立作業が簡略化され、製造コスト削減及び組立歩留の向上を図ることができる。

【0101】また、カソード・パネル・ユニット11の長さをカソード・パネル10の長さに相当する長さとしてもよい。ストライプ状のカソード電極用導電材料層22Aの長さをカソード・パネル10の長さに相当する長さとする場合には、カソード電極用導電材料層22Aの端部に端子部を設け、かかる端子部とカソード・パネル用基板20の外周部に設けられた接続端子部13Aとを電気的に接続すればよい。尚、カソード・パネル・ユニットを構成する各ストライプ状のゲート電極用導電材料層24Aの端部に設けられた端子部を、隣接するカソード・パネル・ユニット11を構成するストライプ状の各ゲート電極用導電材料層24Aの端部に設けられた端子部と電気的に接続する。あるいは又、ストライプ状のゲート電極用導電材料層24Aの長さをカソード・パネル10の長さに相当する長さとする場合には、ゲート電極用導電材料層24Aの端部に端子部を設け、かかる端子部とカソード・パネル用基板20の外周部に設けられた接続端子部13Bとを電気的に接続すればよい。尚、カソード・パネル・ユニットを構成する各ストライプ状のカソード電極用導電材料層22Aの端部に設けられた端子部を、隣接するカソード・パネル・ユニット11を構成するストライプ状の各カソード電極用導電材料層22Aの端部に設けられた端子部と電気的に接続する。

【0102】例えば、第2の構造のエッジ型電界放出素子に、フォーカス電極を組み込んだ例を、図24の模式的な一部端面図に示す。この電界放出素子においては、

第2ゲート電極77上を含む全面に更に層間絶縁層94が形成され、かかる層間絶縁層94上にフォーカス電極95が形成されている。層間絶縁層94には開口部78に連通する第2開口部96が設けられている。尚、フォーカス電極95は、必ずしも各電界放出素子毎に設ける必要はなく、例えば、電界放出素子の所定の配列方向に沿って配設することにより、複数の電界放出素子に共通の収束効果を及ぼすこともできる。従って、層間絶縁層94に設けられる第2開口部96は、必ずしもフォーカス電極95を構成する材料層に設けられている必要はない。また、フォーカス電極95の電位は、通常、電子放出層74の電位と近似あるいは同一であるため、フォーカス電極95の開口端部が開口部78や第2開口部96の内部に向けて突出していると、フォーカス電極95から第1ゲート電極72や第2ゲート電極77へ向かって電子放出が生ずる虞れがある。従って、フォーカス電極95は第2開口部96内へ突出しないように設けられていることが特に望ましい。尚、第2ゲート電極77の先端部を層間絶縁層94から突出させることが、電子放出層74の開口部78から突出した端部74A近傍の電界強度を高める観点から特に好ましい。第2開口部96の平面形状は、フォーカス電極95の構成に依り、開口部78の平面形状と合同又は相似としてもよいし、異なっているともよい。

【0103】本発明の試験装置は、カソード・パネル・ユニットの試験、検査、評価だけでなく、組立後のカソード・パネル、あるいは、図32、図33に示した従来の構造を有するカソード・パネルの試験、検査、評価に用いることもできる。これらに対する試験方法は、実質的に本発明の冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法と同様とすればよい。

【0104】スピント型電界放出素子の製造方法は、[工程-100]～[工程-130]にて説明した方法に限定されない。以下、本出願人が提案しているスピント型電界放出素子の製造方法の一例を、図25～図28を参照して説明するが、このスピント型電界放出素子は、基本的には、以下の工程に基づき作製される。即ち、

- (a) 支持体21上にカソード電極22を形成する工程
- (b) カソード電極22上を含む支持体21上に絶縁層23を形成する工程
- (c) 絶縁層23上にゲート電極24を形成する工程
- (d) 底部にカソード電極22が露出した開口部25を、少なくとも絶縁層23に形成する工程
- (e) 開口部25内を含む全面に電子放出電極形成用の導電材料層201を形成する工程
- (f) 開口部25の中央部に位置する導電材料層201の領域を遮蔽するように、マスク材料層202を導電材料層201上に形成する工程
- (g) 導電材料層201の支持体21に対して垂直な方

向におけるエッチング速度がマスク材料層202の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層201とマスク材料層202とをエッチングすることにより、導電材料層201から成り、先端部が錐状形状を有する電子放出電極26を開口部25内に形成する工程

【0105】[工程-400] 先ず、例えばガラス基板上に厚さ約0.6 $\mu$ mのSiO<sub>2</sub>層を形成して成る支持体21上に、クロム(Cr)から成るカソード電極22を設ける。具体的には、支持体21上に、例えばスパッタ法やCVD法にてクロムから成るカソード電極用導電材料層を堆積させ、かかるカソード電極用導電材料層をパターニングすることによって、複数のカソード電極22を含む、行方向に平行に延びるストライプ状のカソード電極用導電材料層を形成することができる。カソード電極用導電材料層の幅を例えば50 $\mu$ m、カソード電極用導電材料層間スペースを例えば30 $\mu$ mとする。その後、カソード電極22、カソード電極用導電材料層上を含む支持体21上に、SiO<sub>2</sub>から成る絶縁層23をプラズマCVD法にて形成する。原料ガスとしてTEOS(テトラエトキシシラン)を使用する場合のCVD条件を、以下の表1に例示する。絶縁層23の厚さを約1 $\mu$ mとする。次に、絶縁層23上の全面にクロムから成るゲート電極用導電材料層をスパッタ法にて製膜し、ゲート電極用導電材料層のパターニングを行う。これによって、複数のゲート電極24を含む、列方向、即ちカソード電極用導電材料層と直交する方向に平行に延びるストライプ状のゲート電極用導電材料層を得ることができる。ゲート電極用導電材料層のスパッタ条件を以下の表2に例示する。また、ゲート電極用導電材料層のパターニングを行うためのエッチング条件を、以下の表3に例示する。

#### 【0106】[表1]

##### [絶縁層23の形成条件]

TEOS流量	: 800SCCM
O <sub>2</sub> 流量	: 600SCCM
圧力	: 1.1kPa
RFパワー	: 0.7kW (13.56MHz)
製膜温度	: 40°C

#### 【0107】[表2]

##### [ゲート電極用導電材料層の形成条件]

Ar流量	: 100SCCM
圧力	: 5Pa
DCパワー	: 2kW
スパッタ温度	: 200°C

#### 【0108】[表3]

##### [ゲート電極用導電材料層のエッチング条件]

Cl <sub>2</sub> 流量	: 100SCCM
O <sub>2</sub> 流量	: 100SCCM
圧力	: 0.7Pa



RFパワー : 0.8 kW (13.56 MHz)  
エッチング温度 : 60°C

【0109】次に、カソード電極用導電材料層とゲート電極用導電材料層との重複領域、即ち、1画素領域において、ゲート電極用導電材料層と絶縁層23とを貫通する開口部25を形成する。開口部25の平面形状は、例えば、直径0.3  $\mu$ mの円形である。開口部25は、通常、1画素領域に数百乃至千個程度形成される。開口部25を形成するには、通常のフォトリソグラフィ技術により形成されたレジスト層をマスクとして、先ず、塩素系のエッチングガスを用いたRIE（反応性イオン・エッチング）法によりゲート電極用導電材料層に開口部を形成し、続いて、フルオロカーボン系のエッチングガスを用いたRIE法により絶縁層23に開口部を形成する。ゲート電極用導電材料層に開口部25を形成する際のRIE条件は、例えば表3に示したと同様とすればよい。絶縁層23に開口部25を形成する際のRIE条件を、以下の表4に例示する。RIE終了後のレジスト層をアッシングにより除去する。アッシング条件を以下の表5に例示する。このようにして、図25の（A）に示す構造を得ることができる。

【0110】[表4]

[開口部25の形成条件]

エッチング装置 : 平行平板型RIE装置  
C<sub>4</sub>F<sub>8</sub>流量 : 30 SCCM  
CO流量 : 70 SCCM  
Ar流量 : 300 SCCM  
圧力 : 7.3 Pa  
RFパワー : 1.3 kW (13.56 MHz)  
エッチング温度 : 20°C

【0111】[表5]

[アッシング条件]

O<sub>2</sub>流量 : 1200 SCCM  
圧力 : 75 Pa  
RFパワー : 1.3 kW (13.56 MHz)  
アッシング温度 : 300°C

【0112】[工程-410] 次に、全面に密着層200をスパッタ法にて形成する（図25の（B）参照）。この密着層200は、ゲート電極用導電材料層の非形成部や開口部25の側壁面に露出している絶縁層23と、次の工程で全面的に製膜される導電材料層201との間の密着性を高めるために設けられる層である。導電材料層201をタングステンで形成することを前提とし、タングステンから成る密着層200を、DCスパッタ法により0.07  $\mu$ mの厚さに形成する。このときのスパッタ条件を以下の表6に例示する。

【0113】[表6]

[密着層200の形成条件]

Ar流量 : 100 SCCM  
圧力 : 0.67 Pa

RFパワー : 3 kW (13.56 MHz)  
スパッタ温度 : 200°C

【0114】[工程-420] 次に、開口部25内を含む全面に、厚さ約0.6  $\mu$ mのタングステンから成る電子放出電極形成用の導電材料層201を水素還元減圧CVD法により形成する（図26の（A）参照）。製膜条件を以下の表7に例示する。製膜された導電材料層201の表面には、開口部25の上端面と底面との間の段差を反映した凹部201Aが形成される。

【0115】[表7]

[導電材料層201の形成条件]

WF<sub>6</sub>流量 : 95 SCCM  
H<sub>2</sub>流量 : 700 SCCM  
圧力 : 1.2  $\times 10^4$  Pa  
製膜温度 : 430°C

【0116】[工程-430] 次に、開口部25の中央部に位置する導電材料層201の領域（具体的には凹部201A）を遮蔽するようにマスク材料層202を形成する。先ず、導電材料層201の上にマスク材料層202を形成する（図26の（B）参照）。具体的には、スピンコート法により厚さ0.35  $\mu$ mのレジスト層をマスク材料層202として形成する。マスク材料層202は、導電材料層201の凹部201Aを吸収し、ほぼ平坦な表面となる。次に、マスク材料層202を酸素系ガスを用いたRIE法によりエッチングする。このときのRIE条件を以下の表8に例示する。このエッチングは、導電材料層201の平坦面が露出した時点で終了する。これにより、導電材料層201の凹部201Aを平坦に埋め込むようにマスク材料層202が残る（図27の（A）参照）。

【0117】[表8]

[マスク材料層202のエッチング条件]

O<sub>2</sub>流量 : 100 SCCM  
圧力 : 5.3 Pa  
RFパワー : 0.7 kW (13.56 MHz)  
エッチング温度 : 20°C

【0118】[工程-440] 次に、導電材料層201とマスク材料層202と密着層200とをエッチングし、円錐形状の電子放出電極26を形成する（図27の（B）参照）。これらの層のエッチングは、導電材料層201のエッチング速度がマスク材料層202のエッチング速度よりも速くなる異方性エッチング条件下で行う。エッチング条件を以下の表9に例示する。

【0119】[表9]

[導電材料層201等のエッチング条件]

SF<sub>6</sub>流量 : 150 SCCM  
O<sub>2</sub>流量 : 30 SCCM  
Ar流量 : 90 SCCM  
圧力 : 35 Pa  
RFパワー : 0.7 kW (13.56 MHz)

【0120】[工程-450]その後、等方的なエッチング条件にて開口部25の内部において絶縁層23に設けられた開口部の側壁面を後退させると、図28に示す電界放出素子が完成される。等方的なエッチングは、ケミカルドライエッチングのようにラジカルを主エッチング種として利用するドライエッチング、あるいは、エッチング液を利用するウェットエッチングにより行うことができる。エッチング液として、例えば49%フッ酸水溶液と純水の1:100(容積比)混合液を用いることができる。

【0121】ここで、[工程-440]において、電子放出電極26が形成される機構について、図29を参照して説明する。図29の(A)は、エッチングの進行に伴って、被エッチング物の表面プロファイルが一定時間毎にどのように変化するかを示す模式図であり、図29の(B)は、エッチング時間と開口部中心における被エッチング物の厚さとの関係を示すグラフである。開口部中心におけるマスク材料層の厚さを $h_p$ 、開口部中心における電子放出電極26の高さを $h_e$ とする。

【0122】表9に示したエッチング条件では、レジスト材料から成るマスク材料層202のエッチング速度よりも、導電材料層201のエッチング速度の方が当然速い。マスク材料層202が存在しない領域では、導電材料層201が直ぐにエッチングされ始め、被エッチング物の表面が速やかに下降してゆく。これに対し、マスク材料層202が存在する領域では、最初にマスク材料層202が除去されないとその下の導電材料層201のエッチングが始まらないので、マスク材料層202がエッチングされている間は被エッチング物の厚さの減少速度は遅く( $h_p$ 減少区間)、マスク材料層202が消失した時点で初めて、被エッチング物の厚さの減少速度がマスク材料層202の存在しない領域と同様に速くなる

( $h_e$ 減少区間)。 $h_p$ 減少区間の開始時期は、マスク材料層202が厚さが最大となる開口部25の中心で最も遅く、マスク材料層202の薄い開口部25の周辺に向かって早くなる。このようにして、円錐形状の電子放出電極26が形成される。

【0123】レジスト材料から成るマスク材料層202のエッチング速度に対する導電材料層201のエッチング速度の比を、「対レジスト選択比」と称することにする。この対レジスト選択比が、電子放出電極26の高さと形状を決定する重要な因子であることを、図30を参照して説明する。図30の(A)は、対レジスト選択比が相対的に小さい場合、図30の(C)は、対レジスト選択比が相対的に大きい場合、図30の(B)はこれらの中間である場合の、電子放出電極26の形状を示している。対レジスト選択比が大きいほど、マスク材料層202の膜減りに比べて導電材料層201の膜減りが激しくなるので、電子放出電極26はより高く、且つ鋭くなることが判る。対レジスト選択比は、SF<sub>6</sub>流量に対す

るO<sub>2</sub>流量の割合を高めると低下する。また、基板バイアスを併用してイオンの入射エネルギーを変化させることが可能なエッチング装置を用いる場合には、RFバイアスパワーを高めたり、バイアス印加用の交流電源の周波数を下げることで、対レジスト選択比を下げるができる。対レジスト選択比の値は1.5以上、好ましくは2以上、より好ましくは3以上に選択される。

【0124】尚、上記のエッチングにおいては当然、ゲート電極24やカソード電極22に対して高い選択比を確保する必要があるが、表9に示した条件で全く問題はない。なぜなら、ゲート電極24とカソード電極22を構成するクロムは、フッ素系のエッチング種では殆どエッチングされず、上記の条件であれば、概ね10以上の対クロム選択比が得られるからである。

【0125】

【発明の効果】本発明においては、微細加工を要する電子放出領域を含むパネルを小型化することにより、カソード・パネルの製造歩留の向上を図ることができる。そして、欠陥の無い小型のパネルを組み合わせることによって、高品質の冷陰極電界電子放出表示装置が再現性良く製造可能となる。しかも、個々のカソード・パネル・ユニットにおける電子放出領域の電気的短絡だけでなく、表示特性を試験、検査、評価した後に、カソード・パネルに組み立てるので、カソード・パネルの製造歩留の向上を図ることができる。また、カソード・パネルの組立後に、カソード・パネル・ユニットに欠陥が発生した場合であっても、かかるカソード・パネル・ユニットを交換すればよく、カソード・パネルの修復が可能である。

【図面の簡単な説明】

【図1】4枚のカソード・パネル・ユニットを組み立てた状態の部分的な模式的平面図である。

【図2】1枚のカソード・パネル・ユニットの模式的な部分的斜視図及び分解斜視図である。

【図3】カソード・パネル用基板、カソード・パネル・ユニット及びスペーサの配置を説明するための模式的な一部斜視図である。

【図4】カソード・パネル用基板、カソード・パネル・ユニット及びスペーサの配置を説明するための模式的な一部端面図である。

【図5】図1とは若干構成の異なる4枚のカソード・パネル・ユニットを組み立てた状態の部分的な模式的平面図である。

【図6】スペーサの変形例を説明するためのカソード・パネル・ユニット及びスペーサの模式的な斜視図である。

【図7】カソード・パネル用基板の模式的な一部斜視図である。

【図8】スピント型電界放出素子を適用した本発明の冷陰極電界電子放出表示装置の概念図である。

【図 9】スピント型電界放出素子を適用した本発明の冷陰極電界電子放出表示装置におけるカソード・パネル及びアノード・パネルの一部分の模式的な分解斜視図である。

【図 10】スピント型電界放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 11】図 10 に引き続き、スピント型電界放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 12】エッジ型電界放出素子の模式的な一部端面図である。

【図 13】図 12 の (B) に示したエッジ型電界放出素子の開口部近傍の支持体等を一部切断して露出させた模式的な斜視図である。

【図 14】図 12 の (B) に示したエッジ型電界放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 15】図 14 に引き続き、エッジ型電界放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 16】図 15 に引き続き、エッジ型電界放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 17】平面型電界放出素子の模式的な一部端面図である。

【図 18】図 17 に示した平面型電界放出素子の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 19】シャント構造を有する幹配線を備えたカソード・パネル・ユニットの模式的な一部端面図及び模式的な分解斜視図である。

【図 20】幹配線の構造の変形例を示す模式的な一部端面図及び模式的な分解斜視図である。

【図 21】表示特性試験の実行に適した本発明の試験装置の概要を示す図である。

【図 22】表示特性試験の実行に適した本発明の試験装置の変形例の概要を示す図である。

【図 23】カソード・パネル・ユニットの変形例の部分的な模式的平面図である。

【図 24】第 2 の構造のエッジ型電界放出素子にフォーカス電極を組み込んだ電界放出素子の模式的な一部端面図である。

【図 25】スピント型電界放出素子の別の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 26】図 25 に引き続き、スピント型電界放出素子の別の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 27】図 26 に引き続き、スピント型電界放出素子の別の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 28】図 27 に引き続き、スピント型電界放出素子の別の製造方法を説明するための支持体等の模式的な一部端面図である。

【図 29】円錐形状の電子放出電極が形成される機構を説明するための図である。

【図 30】対レジスト選択比と、電子放出電極の高さと形状の関係を模式的に示す図である。

【図 31】1 枚の支持体から 2 枚のカソード・パネルを作製する場合の問題点、及び、1 枚の支持体から多数のカソード・パネル・ユニットを作製する場合の利点を説明するための支持体等の模式図である。

【図 32】スピント型電界放出素子を適用した従来の冷陰極電界電子放出表示装置の概念図である。

【図 33】スピント型電界放出素子を適用した従来の冷陰極電界電子放出表示装置におけるカソード・パネル及びアノード・パネルの一部分の模式的な分解斜視図である。

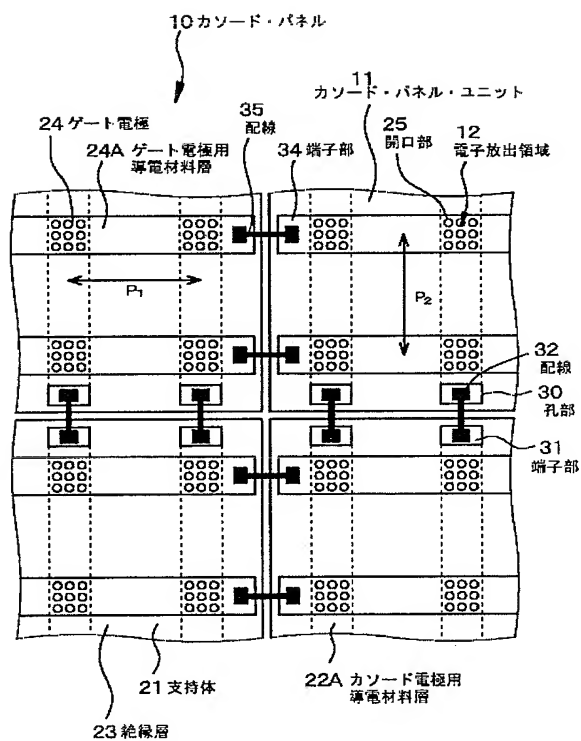
#### 【符号の説明】

10・・・カソード・パネル、11・・・カソード・パネル・ユニット、12・・・電子放出領域、13A、13B・・・接続端子部、14・・・配線、15・・・位置マーク、20・・・カソード・パネル用基板、21支持体、22・・・カソード電極、22A・・・カソード電極用導電材料層、23・・・絶縁層、24・・・ゲート電極、24A・・・ゲート電極用導電材料層、25・・・開口部、26・・・電子放出電極、26A・・・導電材料層、27・・・剥離層、30・・・孔部、31、34・・・端子部、32、35・・・配線、33、36・・・パッド、40・・・スペーサ、41・・・固定部材、50・・・アノード・パネル、50A・・・パネル、51・・・基板、52、52R、52G、52B・・・蛍光体層、53・・・アノード電極、54・・・ブラック・マトリクス、60・・・スペーサ、61・・・配線、71・・・支持体、72・・・第 1 ゲート電極、73・・・第 1 絶縁層、74・・・電子放出層、75・・・第 2 絶縁層、76・・・ゲート電極、77・・・第 2 ゲート電極、78、78A、78B、78C、78D・・・開口部、79・・・レジスト層、79A・・・レジスト開口部、81・・・支持体、84・・・電子放出層、85・・・絶縁層、86・・・ゲート電極、88・・・開口部、89・・・レジスト層、89A・・・レジスト開口部、100、100A・・・試験装置、101・・・ハウジング、102・・・検査台、103・・・検査台昇降シリンダー、104・・・ピン昇降シリンダー、105・・・ピン、107・・・バルブ、108・・・ガス流量制御装置、109・・・検査電圧印加針、110・・・受像装置、111・・・画像検査ユニット、112・・・電圧源・走査電圧コントローラ、113・・・検査台コントローラ、121・・・X 方向駆動ステッピングモータ、122・・・Y 方向駆動ステッピ

ングモータ

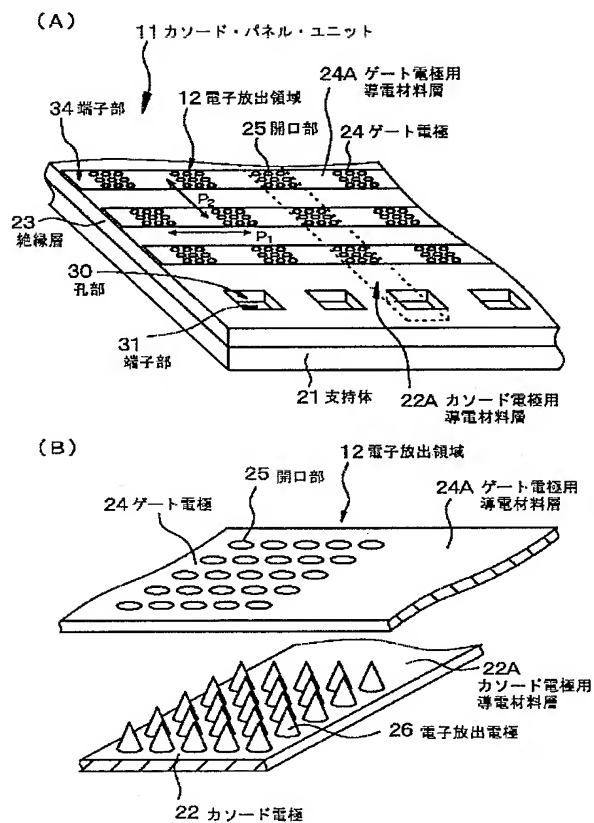
【図1】

【図1】

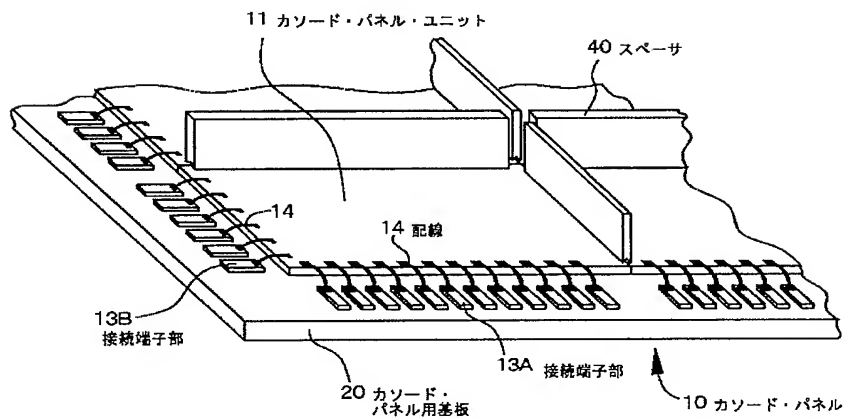


【図2】

【図2】



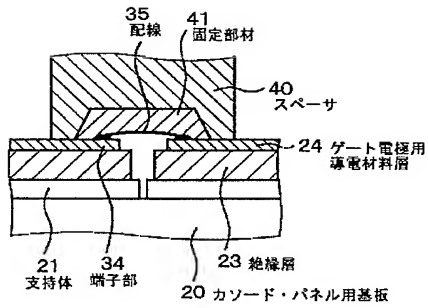
【図3】



【図3】

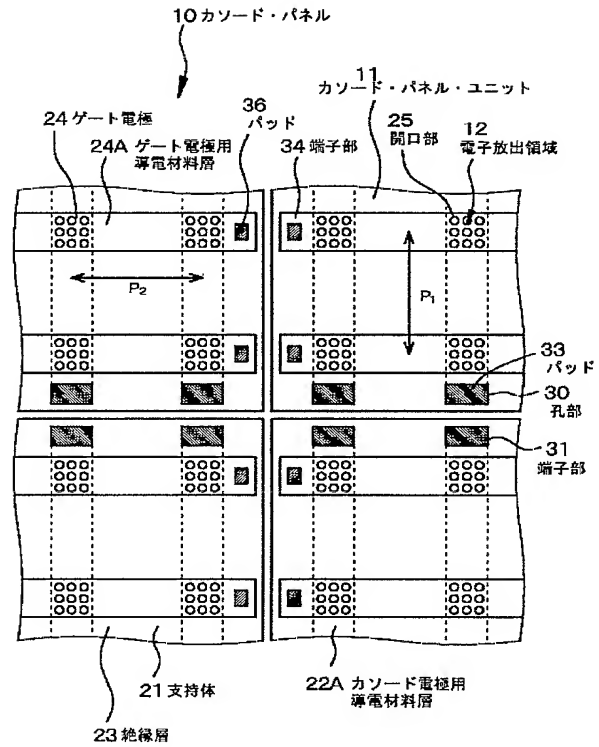
【図 4】

【図 4】



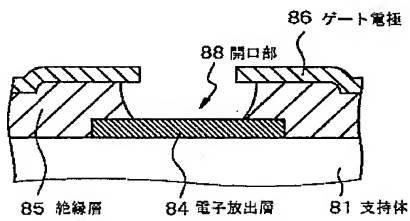
【図 5】

【図 5】



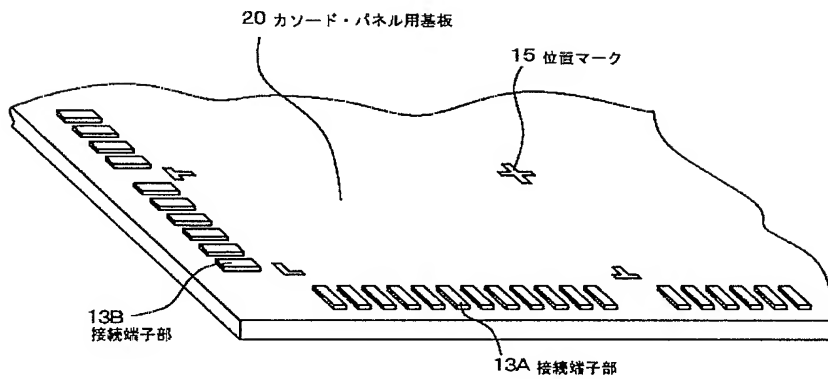
【図 17】

【図 17】



【図 7】

【図 7】

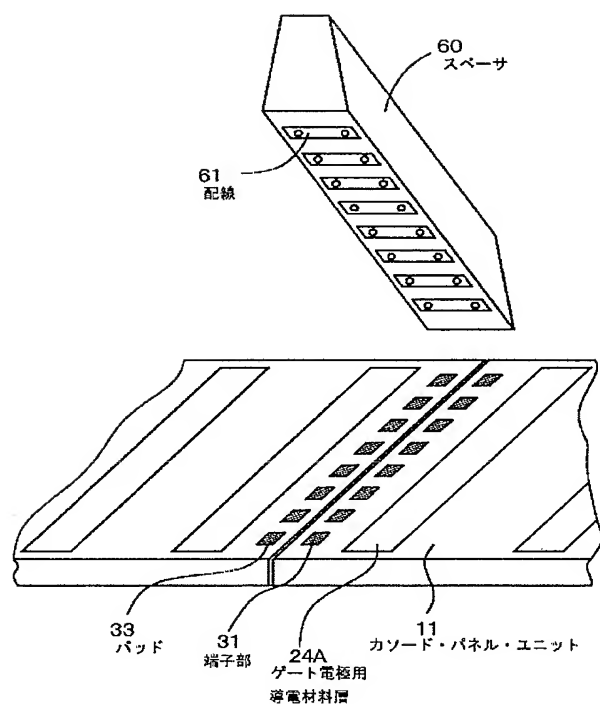


【図6】

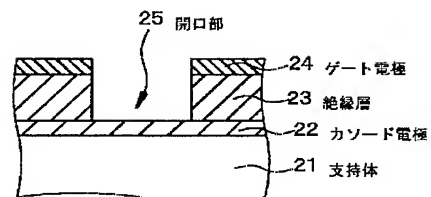
【図10】

【図6】

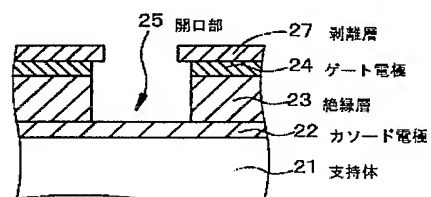
【図10】



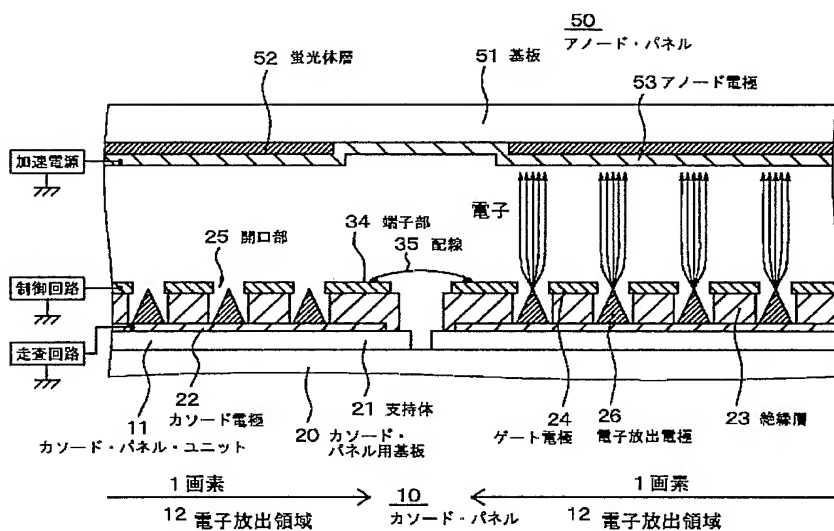
(A) 【工程-100】



(B) 【工程-110】



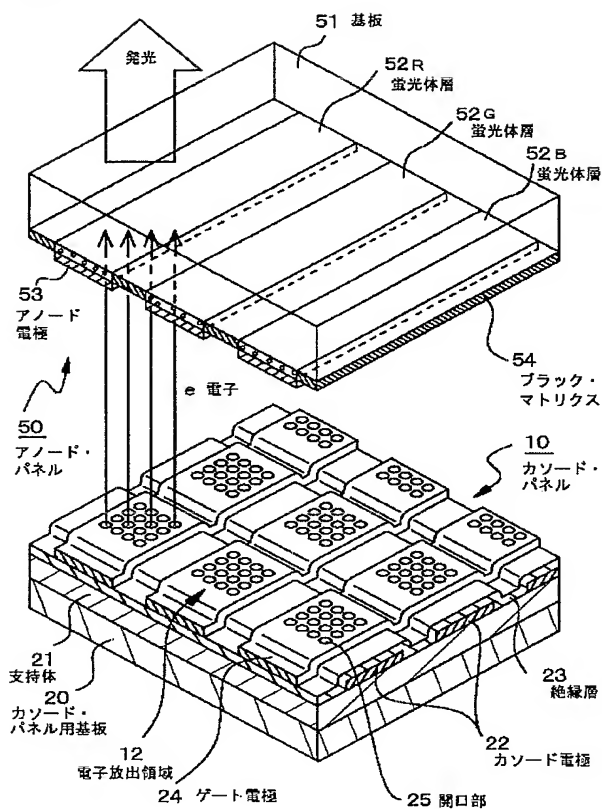
【図8】



【図9】

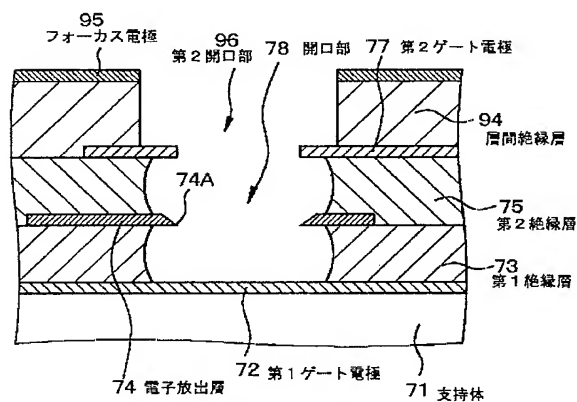
【図9】

【図9】



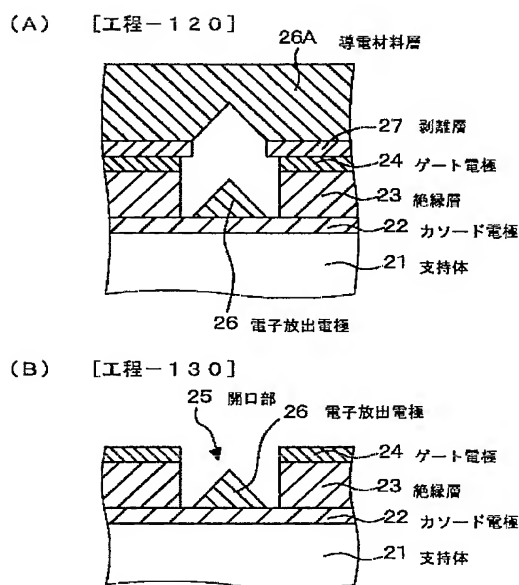
【図24】

【図24】



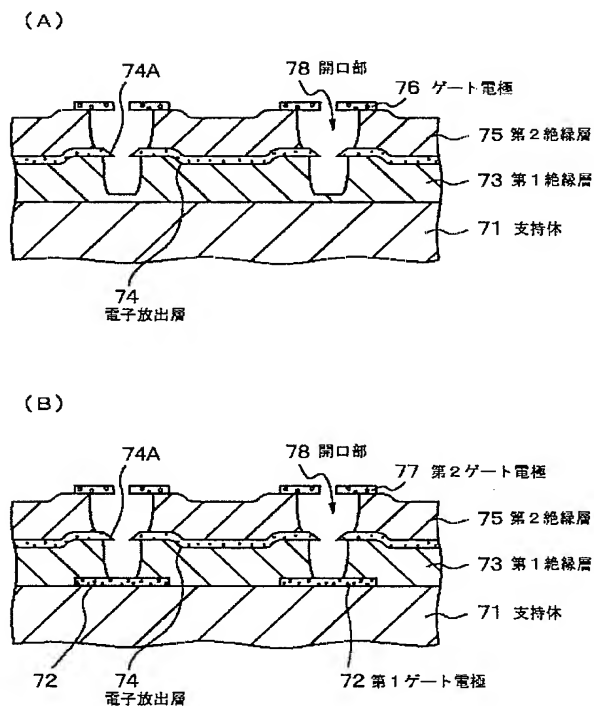
【図11】

【図11】

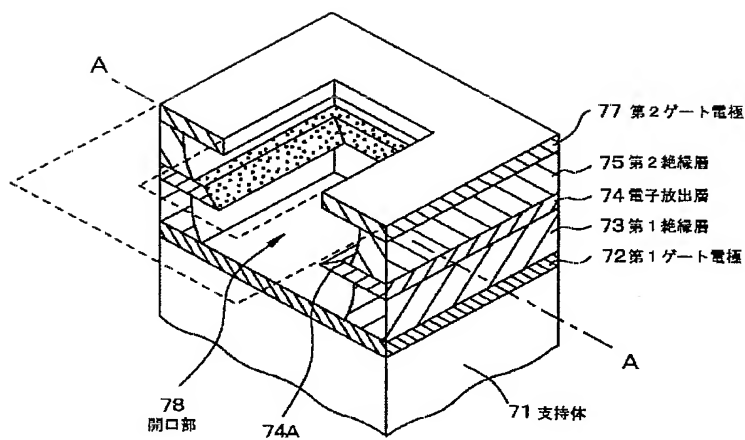


【図12】

【図12】



【図13】

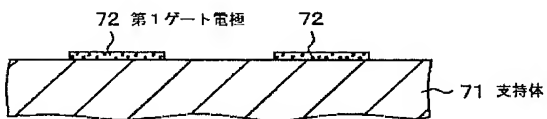


【図13】

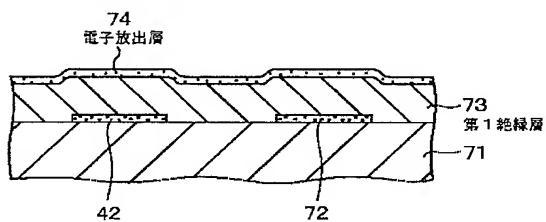
【図14】

【図14】

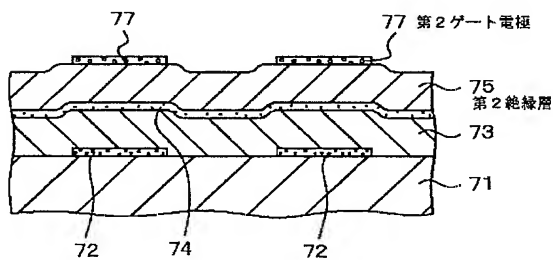
(A) [工程-200]



(B) [工程-210]



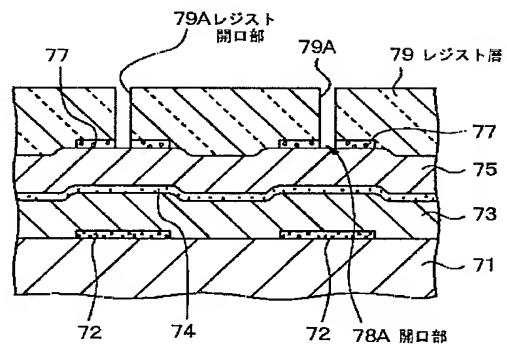
(C) [工程-220]



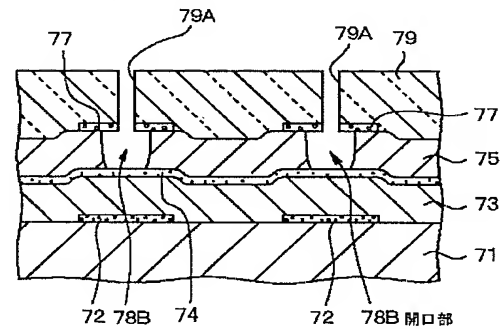
【図15】

【図15】

(A) [工程-230]



(B) [工程-240]

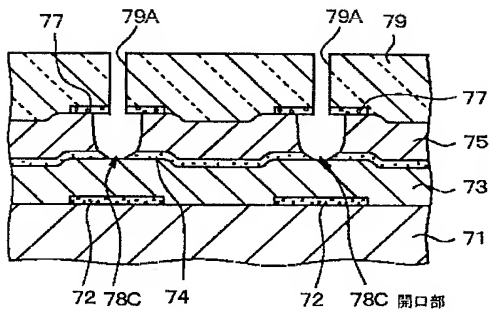




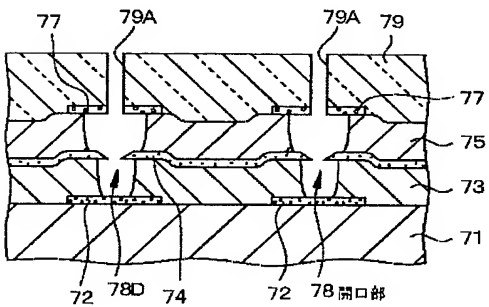
【図 16】

【図 16】

(A) [工程-250]



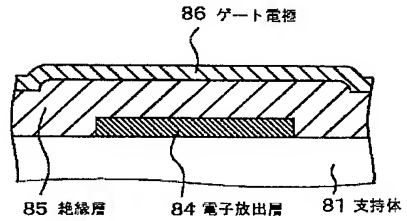
(B) [工程-260]



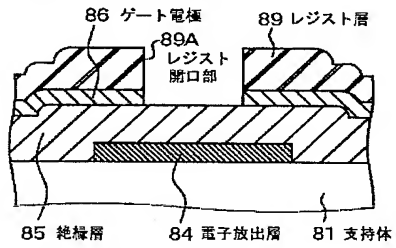
【図 18】

【図 18】

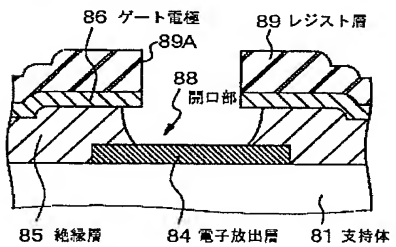
(A) [工程-300]



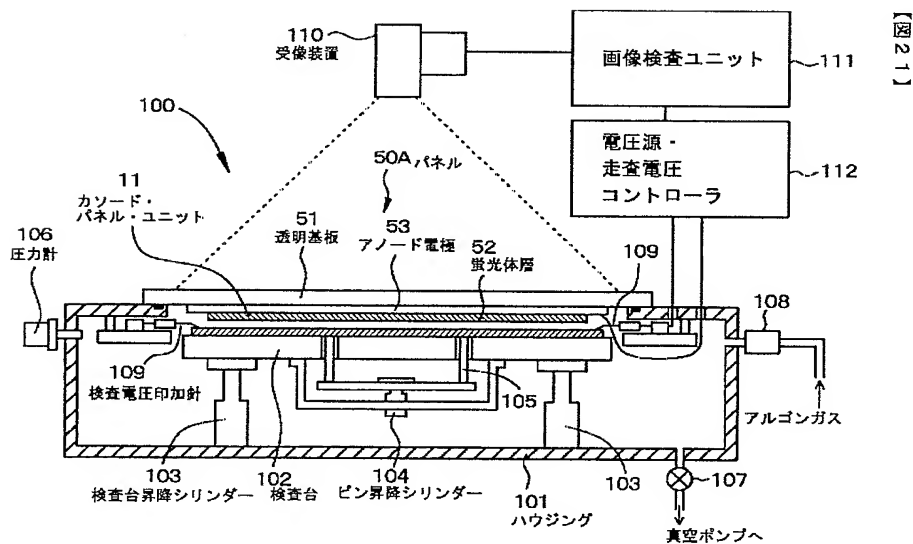
(B) [工程-310]



(C) [工程-320]

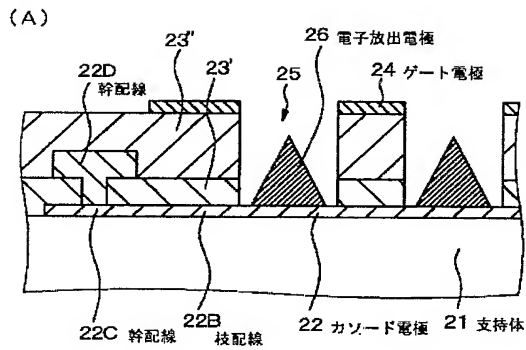


【図 21】

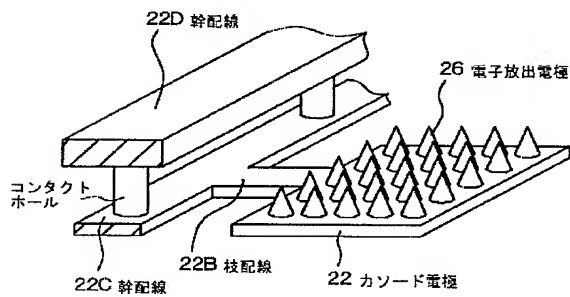


【図 19】

【図 19】

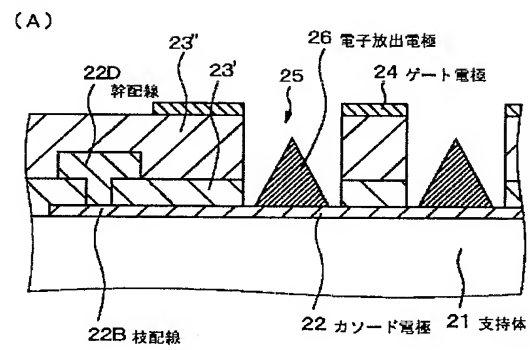


(B)

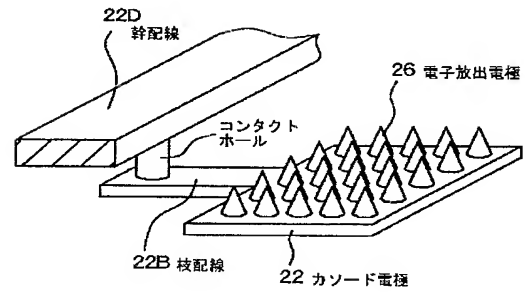


【図 20】

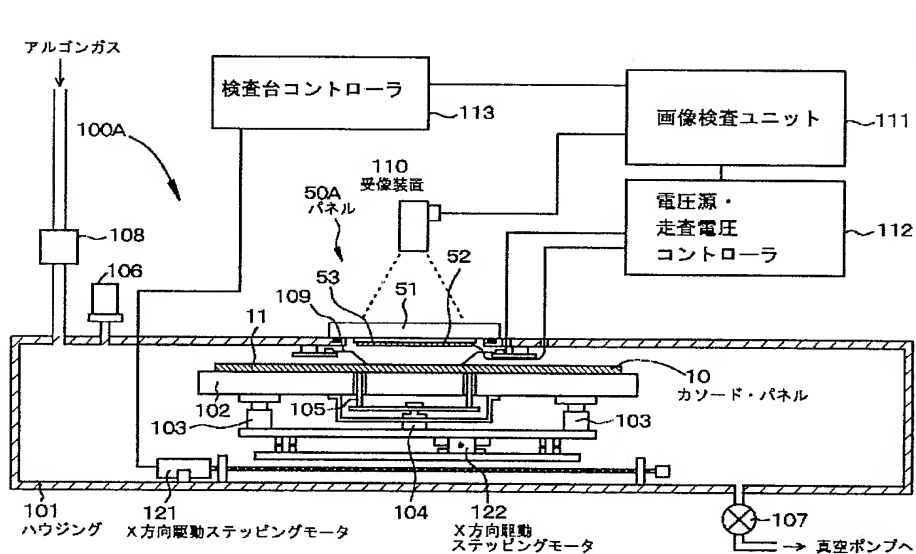
【図 20】



(B)



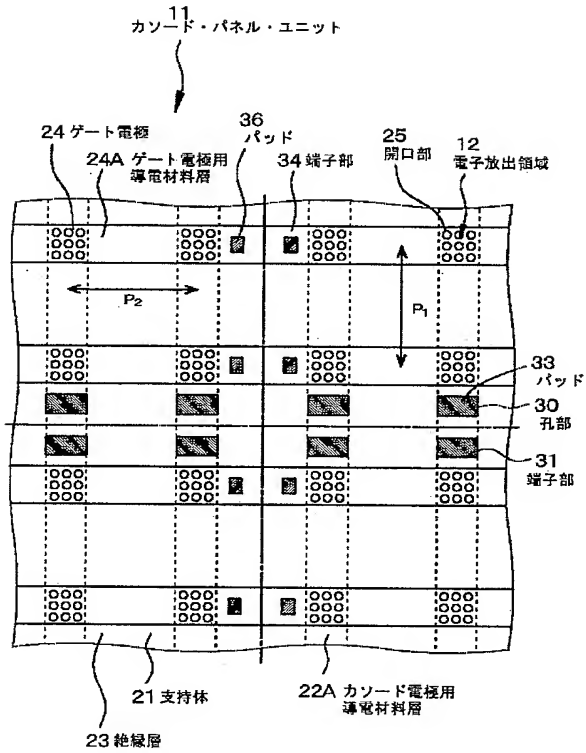
【図 22】



【図 22】

【図 23】

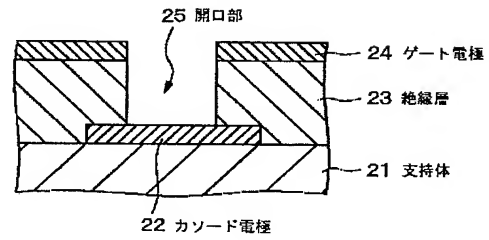
【図 23】



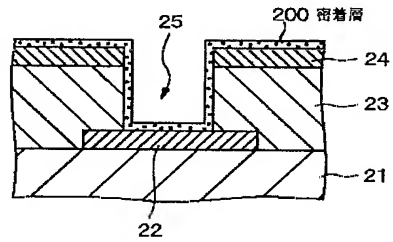
【図 25】

【図 25】

(A) 【工程-400】



(B) 【工程-410】

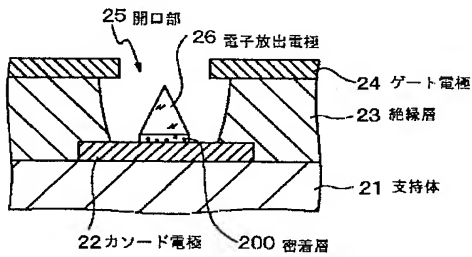


【図 31】

【図 28】

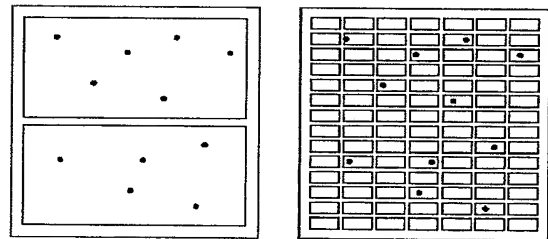
【図 28】

【工程-450】

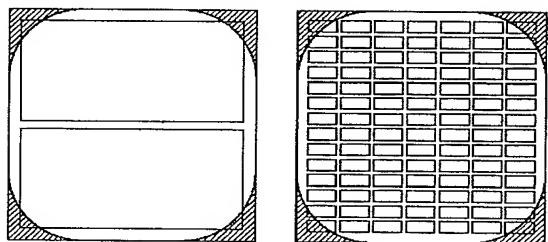


【図 31】

(A)

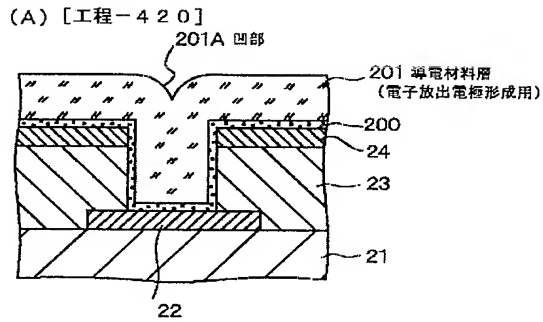


(B)



【図 26】

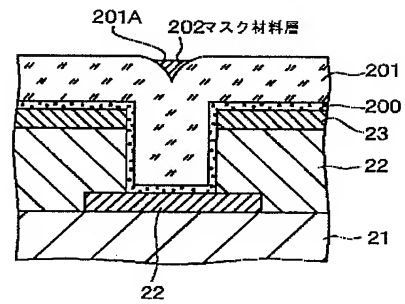
【図 26】



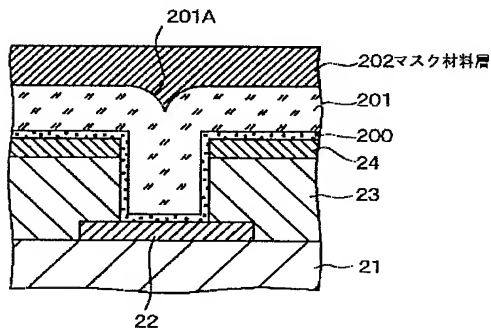
【図 27】

【図 27】

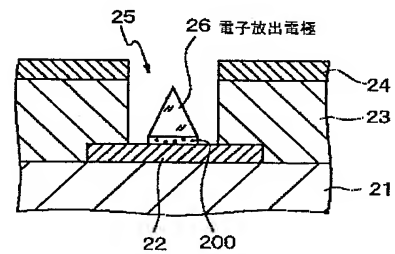
(A) [工程-430] 続き



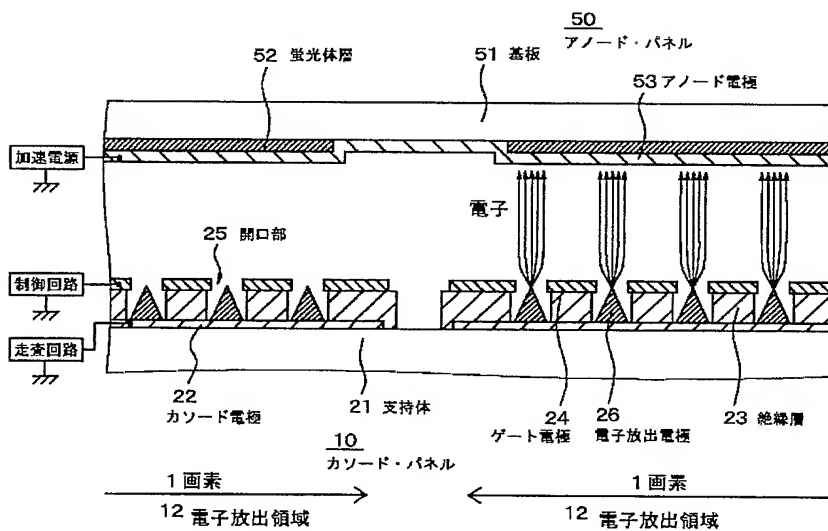
(B) [工程-430]



(B) [工程-440]



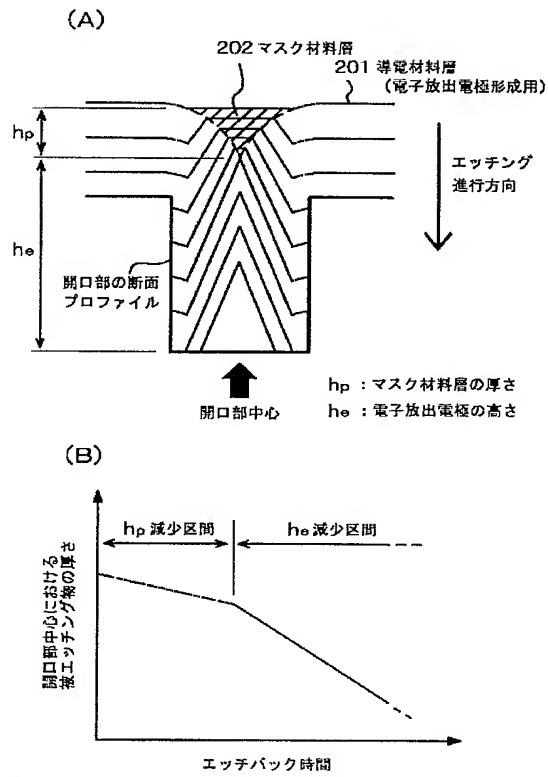
【図 32】



【図 32】

【図 29】

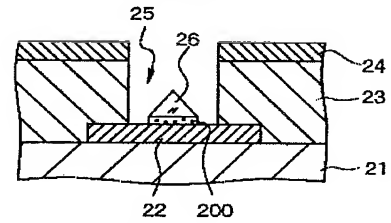
【図 29】



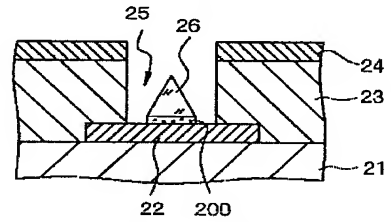
【図 30】

【図 30】

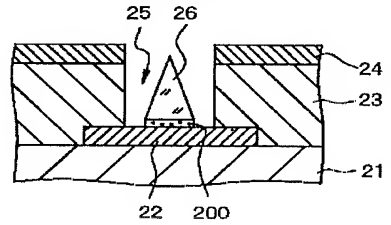
(A) 対レジスト選択比=小



(B) 対レジスト選択比=中

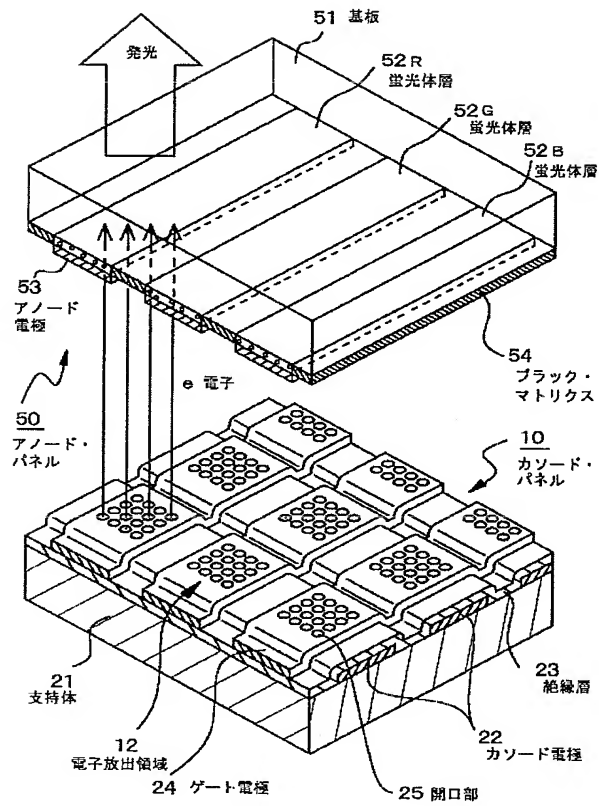


(C) 対レジスト選択比=大



【図 33】

【図 33】



フロントページの続き

- (54) 【発明の名称】 冷陰極電界電子放出表示装置用カソード・パネル・ユニット、冷陰極電界電子放出表示装置用カソード・パネル及びその製造方法、冷陰極電界電子放出表示装置、試験装置、並びに、かかる試験装置を用いた冷陰極電界電子放出表示装置用カソード・パネル・ユニットの試験方法

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## CLAIMS

## [Claim(s)]

[Claim 1] (b) Two or more cold cathode field-electron-emission field groups formed on the base material and the (b) base material, It is a cathode panel unit for cold cathode field-electron-emission displays possessing the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list. By connecting electrically the terminal area of each cathode panel unit for cold cathode field-electron-emission displays with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays The cathode panel unit for cold cathode field-electron-emission displays characterized by constituting the cathode panel for cold cathode field-electron-emission displays.

[Claim 2] The substrate for cathode panels, and two or more connection terminal areas prepared in the periphery section of this substrate for cathode panels for electrical installation with the exterior, It is the cathode panel for cold cathode field-electron-emission displays which consisted of two or more cathode panel units for cold cathode field-electron-emission displays. Each cathode panel unit for cold cathode field-electron-emission displays Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, The terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list is provided. Each cathode panel unit for cold cathode field-electron-emission displays is attached in the substrate for cathode panels. The terminal area of each cathode panel unit for cold cathode field-electron-emission displays It connects with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays electrically. The terminal area of the cathode panel unit for cold cathode field-electron-emission displays attached in the periphery section of the substrate for cathode panels The cathode panel for cold cathode field-electron-emission displays by which it is connecting [ with the connection terminal area prepared in the periphery section of the substrate for cathode panels ]-electrically characterized.

[Claim 3] (A) Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, The process which produces the cathode panel unit for cold cathode field-electron-emission displays to which each possesses the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list, (B) The process which attaches two or more cathode panel units for cold cathode field-electron-emission displays in the substrate for cathode panels with which it was prepared in two or more connection terminal areas of an electrical installation sake with the exterior by the periphery section, (C) the terminal area of each cathode panel unit for cold cathode field-electron-emission displays It connects with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays electrically. And the terminal area of the cathode panel unit for cold cathode field-electron-emission displays attached in the periphery section of the substrate for cathode panels The manufacture approach of the cathode panel for cold cathode field-electron-emission displays by which it is connecting [ with the connection terminal area prepared in the periphery section of the substrate for cathode panels ]-electrically characterized.

[Claim 4] The cold cathode field-electron-emission field where it consisted of two or more pixels, and each pixel was prepared in the cathode panel for cold cathode field-electron-emission displays, It is the cold cathode field-electron-emission display which consisted of the anode electrodes and fluorescent substance layers which countered the cold cathode field-electron-emission field, and were prepared on the anode panel. This cathode panel for cold cathode field-electron-emission displays The substrate for cathode panels, and two or more connection terminal areas prepared in the periphery section of this substrate for cathode panels for electrical installation with the exterior, It consists of two or more cathode panel units for cold cathode field-electron-emission displays attached in the substrate for cathode panels. Each cathode panel unit for cold cathode field-electron-emission displays Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, The terminal area prolonged from

each (Ha) cold cathode field-electron-emission field group in a list is provided. The terminal area of each cathode panel unit for cold cathode field-electron-emission displays It connects with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays electrically. The terminal area of the cathode panel unit for cold cathode field-electron-emission displays attached in the periphery section of the substrate for cathode panels is a cold cathode field-electron-emission display by which it is connecting [ with the connection terminal area prepared in the periphery section of the substrate for cathode panels ]-electrically characterized.

[Claim 5] (b) Two or more cold cathode field-electron-emission field groups formed on the base material and the (b) base material, It is the testing device of the cathode panel unit for cold cathode field-electron-emission displays possessing the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list. (1) It is arranged in housing with which the upper part carries out opening and can make an ambient atmosphere a vacuum, and (2) housing. The examining table which lays the cathode panel unit for cold cathode field-electron-emission displays which should be examined, (3) The panel which consisted of the fluorescent substance layers and anode electrodes of housing which have been arranged in the upper part which carried out opening, and were formed on this transparence substrate at the transparence substrate and the list, (4) The image inspection unit to which the television equipment arranged above the panel and (5) television equipment were connected electrically, (6) The voltage source and scan electrical-potential-difference controller to which it connected with the image inspection unit electrically, and the anode electrode which constitutes a panel was connected electrically, The testing device characterized by providing the inspection electrical-potential-difference impression needle which is arranged in (7) housing, is electrically connected to a voltage source and a scan electrical-potential-difference controller, and can contact a list at the terminal area of the cathode panel unit for cold cathode field-electron-emission displays.

[Claim 6] (b) Two or more cold cathode field-electron-emission field groups formed on the base material and the (b) base material, It is the test method of the cathode panel unit for cold cathode field-electron-emission displays possessing the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list. (1) It is arranged in housing with which the upper part carries out opening and can make an ambient atmosphere a vacuum, and (2) housing. The examining table which lays the cathode panel unit for cold cathode field-electron-emission displays which should be examined, (3) The panel which consisted of the fluorescent substance layers and anode electrodes of housing which have been arranged in the upper part which carried out opening, and were formed on this transparence substrate at the transparence substrate and the list, (4) The image inspection unit to which the television equipment arranged above the panel and (5) television equipment were connected electrically, (6) The voltage source and scan electrical-potential-difference controller to which it connected with the image inspection unit electrically, and the anode electrode which constitutes a panel was connected electrically, It is arranged in (7) housing by the list and connects with a voltage source and a scan electrical-potential-difference controller electrically at it. The inspection electrical-potential-difference impression needle which can contact the terminal area of the cathode panel unit for cold cathode field-electron-emission displays, Where it laid the cathode panel unit for cold cathode field-electron-emission indicating equipments which should examine in the examining table using the testing device provided and the inside of housing is made into a vacuum ambient atmosphere The 1st predetermined electrical potential difference is impressed to the anode electrode which constitutes a panel from a voltage source and a scan electrical-potential-difference controller. And after the inspection electrical-potential-difference impression needle has contacted the terminal area of the cathode panel unit for cold cathode field-electron-emission displays, the 2nd predetermined electrical potential difference is impressed to a cold cathode field-electron-emission field from a voltage source and a scan electrical-potential-difference controller. With, the electron emitted from the cold cathode field-electron-emission field is drawn to the anode electrode in which it was prepared by the panel. The test method of the cathode panel unit for cold cathode field-electron-emission displays characterized by televising the image obtained by making it collide with a fluorescent substance layer with television equipment, and processing the signal from television equipment in an image inspection unit.

[Translation done.]



## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the test method of the cathode panel unit for cold cathode field-electron-emission displays which used this testing device for the cathode panel unit for cold cathode field-electron-emission displays, the cathode panel for cold cathode field-electron-emission displays and its manufacture approach, the cold cathode field-electron-emission display, the testing device, and the list.

[0002]

[Description of the Prior Art] As an image display device which replaces the cathode-ray tube (CRT) of the current mainstream, the display of a flat-surface mold (flat panel format) is examined variously. As a display of such a flat-surface mold, a liquid crystal display (LCD), a electroluminescence display (ELD), and a plasma display (PDP) can be illustrated. Moreover, the cold cathode field-electron-emission indicating equipment which it is not based on thermal excitation but can emit an electron into a vacuum from a solid-state, and the so-called field emission display (FED) are also proposed, and attention is attracted from high resolution, the color display of high brightness, and a viewpoint of a low power.

[0003] A cold cathode field-electron-emission display (it may be hereafter called a display for short) Generally it corresponds to each pixel arranged in the shape of a two-dimensional matrix. A cold cathode field-electron-emission field The cathode panel for cold cathode field-electron-emission displays formed [ (it may be hereafter called an electron emission field for short) and ] (it may be hereafter called a cathode panel for short), The anode panel which has the fluorescent substance layer which is excited by the collision with the emitted electron and emits light from an electron emission field has the configuration by which opposite arrangement was carried out through the vacuum layer. Each electron emission field formed on the cathode panel usually consists of one or more cold cathode field-electron-emission components (it may be hereafter called a field emission component for short).

[0004] Generally a field emission component can be classified into the Spindt mold, an edge mold, and a flat-surface mold.

[0005] As an example, the conceptual diagram of the conventional display which applied the Spindt mold field emission component is shown in drawing 32 , and some typical decomposition perspective views of the cathode panel 10 and the anode panel 50 are shown in drawing 33 . The Spindt mold field emission component which constitutes this display consists of electron emission electrodes (emitter electrode) 26 of the cone form formed in the opening 25 prepared by penetrating the cathode electrode 22 formed in the base material 21 equivalent to the substrate for cathode panels, an insulating layer 23, the gate electrode 24 formed on the insulating layer 23, the gate electrode 24, and an insulating layer 23. The electron emission electrode 26 is arranged a predetermined number and in the shape of a two-dimensional matrix, and the electron emission field which constitutes 1 pixel is formed. The cathode electrode 22 has the shape of a stripe prolonged in the 1st direction, and has the shape of a stripe to which the gate electrode 24 extends in the 2nd direction in which the 1st directions differ (refer to drawing 33 ). The field where the stripe-like cathode electrode 22 and the stripe-like gate electrode 24 overlap is equivalent to the electron emission field 12. The cathode panel 10 consists of a base material 21 and two or more of these electron emission fields 12.

[0006] On the other hand, the fluorescent substance layer 52 (fluorescent substance layer 52B which specifically emits light in fluorescent substance layer 52G [ which emit light in fluorescent substance layer 52B which emits light in red, and green ], and blue as shown in drawing 33 ) which has a predetermined pattern is formed on a substrate 51, and the anode panel 50 has the structure where the fluorescent substance layer 52 was covered with the anode electrode 53. In addition, between these fluorescent substance layers 52R, 52G, and 52B, it is embedded by the black matrix 54 which consists of light absorption nature

ingredients, such as carbon, and color muddiness of a display image is prevented. The order of a laminating of the fluorescent substance layer 52 and the anode electrode 53 on a substrate 51 is not cared about even if contrary to the above, but since it sees from the observation side side of a display and the anode electrode 53 comes before the fluorescent substance layer 52 in this case, the anode electrode 53 needs to consist of transparence electrical conducting materials, such as ITO (an indium and stannic acid ghost).

[0007] An electrical potential difference is impressed to the cathode electrode 22 from a scanning circuit, an electrical potential difference is impressed to the gate electrode 24 from a control circuit, and an electron is emitted from the tip of the electron emission electrode 26 by the electric field produced according to the potential difference between the cathode electrode 22 and the gate electrode 24. And an electron is drawn to the anode electrode 53 prepared in the anode panel 50, and it collides with the fluorescent substance layer 52 which is an emitter layer formed between the anode electrode 53 and the transparence substrate 51. In addition, electropositive potential is applied to the anode electrode 53 from an acceleration power source. Consequently, the fluorescent substance layer 52 is excited, light is emitted, and a desired image can be obtained. Actuation of a field emission component is fundamentally controlled by the electrical potential difference impressed to the gate electrode 24.

[0008] The outline of the manufacture approach of the Spindt mold field emission component in the display shown in drawing 32 and drawing 33 is explained hereafter, referring to drawing 10 and drawing 11.

Fundamentally, this manufacture approach is the approach of forming the electron emission electrode 26 of a cone form by perpendicular vacuum evaporations of a metallic material. That is, although incidence of the vacuum evaporations particle is perpendicularly carried out to opening 25, the amount of the vacuum evaporations particle which reaches the pars basilaris ossis occipitalis of opening 25 is dwindled using the shielding effect by the deposit of the shape of an overhang formed near an opening edge, and the electron emission electrode 26 which is the deposit of a cone form is formed in self align. Here, in order to make easy removal of the deposit of the shape of an unnecessary overhang, how to form stratum disjunctum 27 beforehand on the gate electrode 24 is explained with reference to drawing 10 and drawing 11.

[0009] [Process -100] First, on the base material 21 which consists of a glass substrate, after producing the electrical conducting material layer for cathode electrodes which consists for example, of polish recon by the plasma-CVD method, based on a lithography technique and a dry etching technique, patterning of the electrical conducting material layer for cathode electrodes is carried out, and the cathode electrode 22 is formed. The electrical conducting material layer for cathode electrodes by which patterning was carried out has a stripe configuration. Then, the insulating layer 23 which changes from SiO<sub>2</sub> to the whole surface is carried out with a CVD method, sequential film production of the electrical conducting material layer for gate electrodes (for example, TiN layer) is carried out in a sputter, subsequently, it consists of the electrical conducting material layer for gate electrodes by carrying out patterning of the electrical conducting material layer for gate electrodes with a lithography technique and a dry etching technique, and the gate electrode 24 which has opening 25 is formed. The electrical conducting material layer for gate electrodes by which patterning was carried out has a stripe configuration. Then, the opening 25 with a diameter of about 1 micrometer is formed in an insulating layer 23, using the gate electrode 24 as a mask for etching (refer to (A) of drawing 10). In addition, the stripe-like electrical conducting material layer for gate electrodes is prolonged in the 2nd different direction from the 1st direction by prolonging the stripe-like electrical conducting material layer for cathode electrodes in the 1st direction, for example, the 1st direction and 2nd direction have the relation of a right angle.

[0010] Stratum disjunctum 27 is formed by carrying out the slanting vacuum evaporations of the nickel (nickel) on the insulating layer 23 including the gate electrode 24 top, rotating [a process -110], next a base material 21 (refer to (B) of drawing 10). Stratum disjunctum 27 can be formed on the gate electrode 24, without making most nickel deposit on the pars basilaris ossis occipitalis of opening 25 by choosing greatly enough the incident angle of the vacuum evaporations particle to the normal of a base material 21 (for example, 65 - 85 incident angles) at this time. Stratum disjunctum 27 is jutted out of the opening edge of opening 25 in the shape of eaves, and the diameter of opening 25 is substantially reduced by this.

[0011] The perpendicular vacuum evaporations of the molybdenum (Mo) is carried out as an electrical conducting material all over [a process -120] next (three - ten incident angles). Since electrical conducting material layer 26A which has an overhang configuration on stratum disjunctum 27 follows on growing up and the substantial diameter of opening 25 is gradually reduced at this time as shown in (A) of drawing 11, the vacuum evaporations particle which contributes to deposition in the pars basilaris ossis occipitalis of opening 25 comes to be restricted to what passes through near the center of opening 25 gradually. Consequently, the deposit of a cone form is formed in the pars basilaris ossis occipitalis of opening 25, and the deposit of this cone form serves as the electron emission electrode 26.

[0012] After that [ [process -130] ], stratum disjunctum 27 is exfoliated from the front face of the gate electrode 24 by the lift-off method, and upper electrical conducting material layer 26A of the gate electrode 24 is removed alternatively (refer to (B) of drawing 11 ). In this way, the cathode panel by which two or more Spindt mold field emission components were formed can be obtained.

[0013] In a field emission component, if potential difference  $\Delta V$  of the electrical potential difference impressed to the gate electrode 24 and the electrical potential difference impressed to the cathode electrode 22 becomes more than a certain threshold potential  $\Delta V_{th}$ , an electron will begin to be emitted from the point of the electron emission electrode 26. And the emission-electron current generated by emission of the electron from the point of the electron emission electrode 26 increases rapidly with the increment in the electrical potential difference impressed, for example to the gate electrode 24 (namely, increment in potential difference  $\Delta V$ ).

[0014]

[Problem(s) to be Solved by the Invention] By the way, in order to manufacture a large-sized display, very pure processing and high process tolerance are required. For example, in order to manufacture a 380,000-pixel electrochromatic display, it is necessary to form the electron emission field of 1,140,000. Moreover, when it constitutes a display from a Spindt mold field emission component, one electron emission field must consist of dozens thru/or about 1000 Spindt mold field emission components. Therefore, it is necessary to produce tens of millions or more detailed field emission components to which each approached less than several micrometers.

[0015] although it is necessary to exfoliate stratum disjunctum 27 to the whole base material (for example, glass substrate) of a large area in order [ appropriate ] are alike and to manufacture the display of a large area in the production process of the above-mentioned Spindt mold field emission component, exfoliation of this stratum disjunctum 27 causes [ of a field emission component ] defective generating. Moreover, also in a dry process, the accumulated dose of a resultant increases on the occasion of processing of the base material of a large area, and it becomes easy to generate a defect for a field emission component by particle. If a conductive foreign matter exists between the gate electrode 24 and the electron emission electrode 26, as a result of the gate electrode 24 and the electron emission electrode 26 short-circuiting, from a field emission component, an electron is no longer emitted and the scotoma (\*\*\*\*) appears in a display. a cathode panel -- setting -- two or more electron emission fields usually -- one dimension ---like (the shape of a stripe) -- the single-tier whole of the electron emission field train of the shape of a stripe which contains this field emission component when the short circuit of a field emission component occurs, since two or more juxtapositions of the arranged electron emission field train are carried out -- completeness -- also when a display becomes impossible, it is.

[0016] Moreover, the variation in the electron emission characteristic of a field emission component is mentioned as a problem about a field emission component. Although a field emission component is formed of the same process on a cathode panel also in hundreds of thousands of pieces to hundreds of millions of units, even if each field emission component is apparently observed similarly under an electron microscope, variation exists in threshold potential  $\Delta V_{th}$  of a field emission component. And when the field emission component threshold potential  $\Delta V_{th}$  indicates an unusually low value to be exists, even if it is in the condition of the potential difference that the field emission component which shows normal threshold potential  $\Delta V_{th}$  does not operate, the field emission component threshold potential  $\Delta V_{th}$  indicates an unusually low value to be will be in operating state. Consequently, the problem that the luminescent spot appears or brightness nonuniformity occurs in a display arises.

[0017] When manufacturing the display of a large area, existence of the field emission component of such a malfunction reduces the manufacture yield of a display extremely. For example, in order to manufacture an aspect ratio 16:9 and the display of 32 inches of vertical angles, when using a 1mx1m glass substrate as a base material is assumed, only two cathode panels can be produced from this glass substrate (refer to left-hand side of (A) of drawing 31 ). Therefore, if the field emission component (a sunspot shows by a diagram) of a malfunction exists, the sharp manufacture yield fall of a display will not be escaped.

[0018] Moreover, when using a 1mx1m glass substrate as a base material is assumed, in various film production processes, it is easy to produce fluctuation of thickness or a film property in the four corners of a base material (refer to left-hand side of (B) of drawing 31 R> 1). Also when this fluctuation occurs, the sharp manufacture yield fall of a display is not escaped. In addition, in (B) of drawing 31 31, the slash was given to the field which fluctuation of thickness or a film property produced.

[0019] Usually, the performance test of the electron emission field 12 is performed to the manufactured cathode panel 10. The wiring short-circuit test which measures the resistance of the electron emission field 12 and abnormality generation of heat, and inspects the existence of a short circuit as a performance test is

performed. being appropriate -- it is alike, and in this wiring short-circuit test, although detection of the scotoma (\*\*\*\*) is possible, the luminescent spot, brightness nonuniformity, etc. are undetectable.

[0020] Therefore, the 1st purpose of this invention is to provide with the cathode panel unit for cold cathode field-electron-emission displays suitable for manufacture of this cathode panel for cold cathode field-electron-emission displays, or a cold cathode field-electron-emission display the manufacture approach of the cathode panel for cold cathode field-electron-emission displays in which manufacture by the high yield is possible, and this cathode panel for cold cathode field-electron-emission displays and the cold cathode field-electron-emission display using this cathode panel for cold cathode field-electron-emission displays, and a list. Moreover, the 2nd purpose of this invention is to offer the test method of the cathode panel unit for cold cathode field-electron-emission displays using the test equipment which makes it possible to detect not only the scotoma (\*\*\*\*) but the luminescent spot, brightness nonuniformity, etc., and this test equipment.

[0021]

[Means for Solving the Problem] The cathode panel unit for cold cathode field-electron-emission displays of this invention for attaining the 1st above-mentioned purpose Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, It is a cathode panel unit for cold cathode field-electron-emission displays possessing the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list. By connecting electrically the terminal area of each cathode panel unit for cold cathode field-electron-emission displays with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays It is characterized by constituting the cathode panel for cold cathode field-electron-emission displays.

[0022] The cathode panel for cold cathode field-electron-emission displays of this invention for attaining the 1st above-mentioned purpose consists of cathode panel units for cold cathode field-electron-emission displays of two or more this inventions. Namely, the cathode panel for cold cathode field-electron-emission displays of this invention The substrate for cathode panels, and two or more connection terminal areas prepared in the periphery section of this substrate for cathode panels for electrical installation with the exterior, It is the cathode panel for cold cathode field-electron-emission displays which consisted of two or more cathode panel units for cold cathode field-electron-emission displays. Each cathode panel unit for cold cathode field-electron-emission displays Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, The terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list is provided. Each cathode panel unit for cold cathode field-electron-emission displays is attached in the substrate for cathode panels. The terminal area of each cathode panel unit for cold cathode field-electron-emission displays It connects with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays electrically. The terminal area of the cathode panel unit for cold cathode field-electron-emission displays attached in the periphery section of the substrate for cathode panels is taken as the connecting [ with the connection terminal area prepared in the periphery section of the substrate for cathode panels ]-electrically description.

[0023] The manufacture approach of the cathode panel for cold cathode field-electron-emission displays of this invention for attaining the 1st above-mentioned purpose (A) Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, The process which produces the cathode panel unit for cold cathode field-electron-emission displays to which each possesses the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list, (B) The process which attaches two or more cathode panel units for cold cathode field-electron-emission displays in the substrate for cathode panels with which it was prepared in two or more connection terminal areas of an electrical installation sake with the exterior by the periphery section, (C) the terminal area of each cathode panel unit for cold cathode field-electron-emission displays It connects with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays electrically. And it considers as the connecting [ to the connection terminal area in which it was prepared by the periphery section of the substrate for cathode panels ]-electrically-terminal area of cathode panel unit for cold cathode field-electron-emission displays attached in the periphery section of substrate for cathode panels description.

[0024] The cold cathode field-electron-emission display of this invention for attaining the 1st above-mentioned purpose The cold cathode field-electron-emission field where it consisted of two or more pixels, and each pixel was prepared in the cathode panel for cold cathode field-electron-emission displays, It is the cold cathode field-electron-emission display which consisted of the anode electrodes and fluorescent substance layers which countered the cold cathode field-electron-emission field, and were prepared on the anode panel. This cathode panel for cold cathode field-electron-emission displays The substrate for cathode panels, and two or more connection terminal areas prepared in the periphery section of this substrate for

cathode panels for electrical installation with the exterior, It consists of two or more cathode panel units for cold cathode field-electron-emission displays attached in the substrate for cathode panels. Each cathode panel unit for cold cathode field-electron-emission displays Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, The terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list is provided. The terminal area of each cathode panel unit for cold cathode field-electron-emission displays It connects with the terminal area of the adjoining cathode panel unit for cold cathode field-electron-emission displays electrically. The terminal area of the cathode panel unit for cold cathode field-electron-emission displays attached in the periphery section of the substrate for cathode panels is taken as the connecting [ with the connection terminal area prepared in the periphery section of the substrate for cathode panels ]-electrically description.

[0025] The trial (inspection or evaluation) equipment of this invention for attaining the 2nd above-mentioned purpose Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, It is the testing device of the cathode panel unit for cold cathode field-electron-emission displays possessing the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list. (1) It is arranged in housing with which the upper part carries out opening and can make an ambient atmosphere a vacuum, and (2) housing. The examining table which lays the cathode panel unit for cold cathode field-electron-emission displays which should be examined, (3) The panel which consisted of the fluorescent substance layers and anode electrodes of housing which have been arranged in the upper part which carried out opening, and were formed on this transparence substrate at the transparence substrate and the list, (4) The image inspection unit to which the television equipment arranged above the panel and (5) television equipment were connected electrically, (6) The voltage source and scan electrical-potential-difference controller to which it connected with the image inspection unit electrically, and the anode electrode which constitutes a panel was connected electrically, It is characterized by providing the inspection electrical-potential-difference impression needle which is arranged in (7) housing, is electrically connected to a voltage source and a scan electrical-potential-difference controller, and can contact a list at the terminal area of the cathode panel unit for cold cathode field-electron-emission displays.

[0026] The test (inspection or evaluation) approach of the cathode panel unit for cold cathode field-electron-emission displays of this invention for attaining the 2nd above-mentioned purpose Two or more cold cathode field-electron-emission field groups formed on the (b) base material and the (b) base material, It is the test method of the cathode panel unit for cold cathode field-electron-emission displays possessing the terminal area prolonged from each (Ha) cold cathode field-electron-emission field group in a list. (1) It is arranged in housing with which the upper part carries out opening and can make an ambient atmosphere a vacuum, and (2) housing. The examining table which lays the cathode panel unit for cold cathode field-electron-emission displays which should be examined, (3) The panel which consisted of the fluorescent substance layers and anode electrodes of housing which have been arranged in the upper part which carried out opening, and were formed on this transparence substrate at the transparence substrate and the list, (4) The image inspection unit to which the television equipment arranged above the panel and (5) television equipment were connected electrically, (6) The voltage source and scan electrical-potential-difference controller to which it connected with the image inspection unit electrically, and the anode electrode which constitutes a panel was connected electrically, It is arranged in (7) housing by the list and connects with a voltage source and a scan electrical-potential-difference controller electrically at it. The inspection electrical-potential-difference impression needle which can contact the terminal area of the cathode panel unit for cold cathode field-electron-emission displays, Where it laid the cathode panel unit for cold cathode field-electron-emission indicating equipments which should examine in the examining table using the testing device to provide and the inside of housing is made into a vacuum ambient atmosphere The 1st predetermined electrical potential difference is impressed to the anode electrode which constitutes a panel from a voltage source and a scan electrical-potential-difference controller. And after the inspection electrical-potential-difference impression needle has contacted the terminal area of the cathode panel unit for cold cathode field-electron-emission displays, the 2nd predetermined electrical potential difference is impressed to a cold cathode field-electron-emission field from a voltage source and a scan electrical-potential-difference controller. With, it is characterized by drawing to the anode electrode in which the electron emitted from the cold cathode field-electron-emission field was prepared by the panel, televising the image obtained by making it collide with a fluorescent substance layer with television equipment, and processing the signal from television equipment in an image inspection unit.

[0027] The cathode panel unit for cold cathode field-electron-emission displays of this invention, In the test method of the cathode panel unit for cold cathode field-electron-emission displays which used this testing device for the cathode panel for cold cathode field-electron-emission displays and its manufacture approach,



the cold cathode field-electron-emission display, and the list A cold cathode field-electron-emission field (it is hereafter called an electron emission field) The Spindt mold field emission component of plurality (for example, dozens thru/or about 1000 pieces), Or it can constitute from an edge mold field emission component of plurality (for example, dozens thru/or about hundreds of pieces), one, or two or more flat-surface mold field emission components.

[0028] The cathode panel unit for cold cathode field-electron-emission displays of this invention, In the cathode panel for cold cathode field-electron-emission displays and its manufacture approach, and a cold cathode field-electron-emission display The cathode panel for cold cathode field-electron-emission displays (it may be hereafter called a cathode panel for short) Since it consists of sets of two or more cathode panel units for cold cathode field-electron-emission displays (it may be hereafter called a cathode panel unit for short) Improvement in the manufacture yield of a cathode panel can be aimed at that what is necessary is just to produce a small cathode panel unit on a relative target without a defect.

[0029] Moreover, according to the test method of the cathode panel unit for cold cathode field-electron-emission displays using the testing device and the testing device to apply of this invention, since an electron is made to actually emit from a cathode panel unit, the performance test of a cathode panel unit can be performed in the condition of having been in agreement with the operating state of a display.

[0030]

[Embodiment of the Invention] Hereafter, although this invention is explained with reference to a drawing based on the gestalt (it is hereafter called the gestalt of operation for short) of implementation of invention, in advance of it, the outline of the Spindt mold field emission component, an edge mold field emission component, and a flat-surface mold field emission component and the fundamental production process of these field emission components are explained.

[0031] The structure of the Spindt mold field emission component is as having been shown in (B) of drawing 11 . Namely, the Spindt mold field emission component (\*\*) -- the cathode electrode 22 formed on the base material 21, and (\*\*) -- in opening 25 and the list which penetrated the gate electrode 24, the (d) gate electrode 24, and insulating layer 23 which were formed on the insulating layer 23 formed on the base material 21 including the cathode electrode 22 top, and the insulating layer (Ha) 23 the electron emission electrode 26 which has the drill-like configuration formed on the cathode electrode 22 located in the pars basilaris ossis occipitalis of the (e) opening 25 -- since -- it is constituted and an electron is emitted from the point of the electron emission electrode 26. In addition, a base material 21 is equivalent to the substrate for cathode panel units. Although the fundamental manufacture approach of the Spindt mold field emission component is as having explained previously with reference to drawing 10 and drawing 11 , it is not limited to this.

[0032] a part of typical edge mold field emission component -- end view is shown in (A) of drawing 12 . This edge mold field emission component (\*\*) -- the 1st insulating layer 73 formed on the base material 71, and (\*\*) -- in the gate electrode 76 and list which were formed on the electron emission layer 74 formed on the 1st insulating layer 73, the 2nd insulating layer 75 formed on the 1st insulating layer 73 including the electron emission (Ha) layer 74 top, and the 2nd insulating layer 75 of (d) (e) -- the opening 78 which penetrated the gate electrode 76, the 2nd insulating layer 75, and the electron emission layer 74 at least -- since -- it changes and an electron is emitted from edge 74A of the electron emission layer 74 projected from the wall surface of opening 78. In addition, such an edge mold field emission component of a configuration is called for convenience the edge mold field emission component of the 1st structure. In addition, a base material 71 is equivalent to the substrate for cathode panel units.

[0033] a part of typical modification of an edge mold field emission component -- end view is shown in (B) of drawing 12 . This edge mold field emission component The 1st gate electrode 72 formed on the (b) base material 71, The 1st gate electrode 72 top of (b) In the 2nd gate electrode 77 and list which were formed on the 1st insulating layer 73 formed on the included base material 71, the electron emission layer 74 formed on the 1st (Ha) insulating layer 73, the 2nd insulating layer 75 formed on the 1st insulating layer 73 including the (d) electron emission layer 74 top, and the 2nd insulating layer 75 of (e) the opening 78 which penetrated the 2nd gate electrode 77 of (\*\*), the 2nd insulating layer 75, the electron emission layer 74, and the 1st insulating layer 73, and the front face of the 1st gate electrode 72 exposed to the pars basilaris ossis occipitalis -- since -- it changes and an electron is emitted from edge 74A of the electron emission layer 74 projected from the wall surface of opening 78. In addition, the typical perspective view which cut a part of about 78-opening base material 71 grade, and was exposed is shown in drawing 13 . Here, end view is the typical end view in alignment with line A-A of drawing 13 shown in (B) of drawing 12 in part. Such an edge mold field emission component of a configuration is called for convenience the edge mold field emission component of the 2nd structure. In the edge mold field emission component of the 2nd structure, the electric

field of high intensity can be further formed near the edge 74A of the electron emission layer 74 projected from the wall surface of opening 78 as compared with the edge mold field emission component of the 1st structure since the 1st gate electrode 72 was formed caudad of the electron emission layer 74.

[0034] The manufacture approach of the edge mold field emission component shown in (B) of drawing 12 is hereafter explained with reference to drawing 14 - drawing 16.

[0035] [Process -200] First, on the base material 71 which consists of a glass substrate, the electrical conducting material layer for the 1st gate electrodes which consists of a tungsten with a thickness of about 0.2 micrometers in a spatter is formed, patterning of the electrical conducting material layer for the 1st gate electrodes is carried out with a lithography technique and a dry etching technique according to the usual procedure, and the 1st gate electrode 72 is formed (refer to (A) of drawing 14). The electrical conducting material layer for the 1st gate electrodes by which patterning was carried out has a stripe configuration.

[0036] The 1st insulating layer 73 is formed all over [a process -210] next. Here, SiO<sub>2</sub> is formed in the thickness of about 0.3 micrometers as an example. Furthermore, after forming in the thickness of 0.2 micrometers the electrical conducting material layer for electron emission layers which consists of a tungsten on this 1st insulating layer 73, patterning is carried out to a predetermined configuration and the electron emission layer 74 is formed (refer to (B) of drawing 14). The electrical conducting material layer for electron emission layers by which patterning was carried out has a stripe configuration.

[0037] The 2nd insulating layer 75 which consists of SiO<sub>2</sub> is formed in the thickness of about 0.7 micrometers all over [a process -220] next. Furthermore, the 2nd gate electrode 77 can be obtained by forming the electrical conducting material layer for the 2nd gate electrodes which consists of a tungsten with a thickness of about 0.2 micrometers on this 2nd insulating layer 75, and performing predetermined patterning (refer to (C) of drawing 14). The electrical conducting material layer for the 2nd gate electrodes by which patterning was carried out has a stripe configuration. The component and thickness of the 2nd gate electrode 77 may be the same as the 1st gate electrode 72, and may differ from each other.

[0038] The resist layer 79 is formed all over after that [ [process -230] ], and further, resist opening 79A is formed so that a part of front face of the 2nd gate electrode 77 may be exposed in this resist layer 79. The flat-surface configuration of resist opening 79A is a rectangle, about, a rectangular long side is 100 micrometers and a shorter side is several micrometers - 10 micrometers. then, the 2nd gate electrode 77 exposed to the base of resist opening 79A -- for example, RIE (reactive ion etching) -- it etches in different direction by law, and opening 78A is formed (refer to (A) of drawing 15). Since the 2nd gate electrode 77 is constituted here using a tungsten, opening 78A which has a perpendicular wall by etching using SF<sub>6</sub> gas can be formed.

[0039] [A process -240], next the 2nd insulating layer 75 exposed to the base of opening 78A are etched isotropic, and opening 78B is formed (refer to (B) of drawing 15). Since the 2nd insulating layer is formed here using SiO<sub>2</sub>, wet etching using a buffer-ized fluoric acid water solution is performed. Although the wall surface of opening 78B retreats rather than the opening end face of opening 78A, the amount of retreat at this time is controllable by the merits and demerits of etching time. Here, wet etching is performed until the lower limit of opening 78B retreats rather than the opening end face of opening 78A.

[0040] Dry etching of [a process -250], next the electron emission layer 74 exposed to the base of opening 78B is carried out according to the conditions which use ion as the main etching kind (refer to (A) of drawing 16). In the dry etching which uses ion as the main etching kind, since the ion which is a charged particle is accelerable using impression of the bias voltage to an etching substance, or the interaction of the plasma and a field, generally anisotropic etching advances and the processing side of an etching substance serves as a perpendicular wall. However, at this the [process -250], that the incidence component which has include angles other than a perpendicular exists a little also in the main etching kind in the plasma, and when this oblique-incidence component arises also by dispersion in the edge of opening 78A, the main etching kind carries out incidence also to the field at which it is covered by opening 78A and ion should not arrive in the exposure of the electron emission layer 74 if it is original by a certain amount of probability. At this time, an incidence probability is high and an incidence probability is as low as the main etching kind with a large angle of incidence as the main etching kind with a small angle of incidence over the normal of the electron emission layer 74. Therefore, although the location of the upper limit section of opening 78C formed in the electron emission layer 74 is mostly equal to the lower limit section of opening 78B, the location of the lower limit section of opening 78C will be in the condition of having projected rather than the upper limit section. That is, the thickness of the electron emission layer 74 becomes thin towards the point of the protrusion direction, and an edge is radicalized. Here, good processing of the electron emission layer 74 can be performed by using SF<sub>6</sub> as etching gas.

[0041] [A process -260], next the 1st insulating layer 73 exposed to the base of opening 78C are etched

isotropic, opening 78D is formed, and opening 78 is completed (refer to (B) of drawing 16 R> 6). Here, wet etching using a buffer-ized fluoric acid water solution is performed like the case of the 2nd above-mentioned insulating layer 75. The wall surface of opening 78D retreats rather than the lower limit section of opening 78C. The amount of retreat at this time is controllable by the merits and demerits of etching time. At this time, the wall surface of opening 78B formed previously retreats further. In addition, if the resist layer 79 is removed after completion of opening 78, the cathode panel by which the edge mold field emission component which has the structure shown in (B) of drawing 12 was formed can be obtained.

[0042] a part of typical flat-surface mold field emission component -- end view is shown in drawing 17. this flat-surface mold field emission component -- (\*\*) -- the electron emission layer 84 formed on the base material 81, and (\*\*) -- in the gate electrode 86 and list which were formed on the insulating layer 85 formed on the base material 81 including the electron emission layer 84 top, and the insulating layer (Ha) 85 the opening 88 which penetrated the (d) gate electrode 86 and the insulating layer 85, and the front face of the electron emission layer 84 exposed to the pars basilaris ossis occipitalis -- since -- it changes and an electron is emitted from the front face of the electron emission layer 84 exposed to the pars basilaris ossis occipitalis of opening 88. In addition, a base material 81 is equivalent to the substrate for cathode panel units.

[0043] The manufacture approach of the flat-surface mold field emission component shown in drawing 17 is hereafter explained with reference to drawing 18.

[0044] [Process -300] First, on the base material 81 which consists of a glass substrate, the electrical conducting material layer for electron emission layers which consists of a tungsten with a thickness of about 0.2 micrometers by the spatter is produced, patterning of this electrical conducting material layer for electron emission layers is carried out according to the usual procedure, and the electron emission layer 84 is formed. The electrical conducting material layer for electron emission layers by which patterning was carried out has a stripe configuration. Next, an insulating layer 85 is formed on the base material 81 including the electron emission layer 84 top. Here, with the CVD method used as TEOS (tetra-ethoxy silane) material gas as an example, it forms SiO two-layer in the thickness of about 1 micrometer. Furthermore, on this insulating layer 85, patterning of the electrical conducting material layer for gate electrodes which consists of a tungsten with a thickness of about 0.2 micrometers is produced and carried out, and the gate electrode 86 is formed. The electrical conducting material layer for gate electrodes by which patterning was carried out has a stripe configuration. The condition that the process so far was completed is shown in (A) of drawing 18.

[0045] The resist layer 89 is formed all over [a process -310] next, and further, resist opening 89A is formed so that a part of front face of the gate electrode 86 may be exposed in this resist layer 89. The flat-surface configuration of resist opening 89A is circular, for example. Then, the gate electrode 86 exposed to the pars basilaris ossis occipitalis of resist opening 89A is etched in different direction for example, by the RIE method. Since the gate electrode 86 is constituted here using a tungsten, etching using SF6 gas can be performed. The condition that the process so far was completed is shown in (B) of drawing 18.

[0046] [A process -320], next the insulating layer 85 exposed to the interior of resist opening 89A are etched isotropic, and opening 88 is formed (refer to (C) of drawing 18). Here, since the insulating layer 85 is formed using SiO2, wet etching using a buffer-ized fluoric acid water solution is performed. Although the wall surface of an insulating layer 85 retreats rather than the point of the gate electrode 86, the amount of retreat at this time is controllable by the merits and demerits of etching time. In this way, the cathode panel by which the flat-surface mold field emission component shown in drawing 17 was formed can be obtained.

[0047] Although the electron emission electrode 26 in the Spindt mold field emission component can be formed using the alloy and compound containing metals or these metallic elements, such as a tungsten (W), niobium (Nb), a tantalum (Ta), titanium (Ti), molybdenum (Mo), chromium (Cr), aluminum (aluminum), and copper (Cu), it is desirable to form using a refractory metal, or its so-called alloy and so-called compound especially. The electron emission electrode 26 can be formed by vacuum deposition or the spatter.

[0048] Typically, the electron emission layers 74 and 84 in an edge mold field emission component or a flat-surface mold field emission component can consist of semi-conductors, such as a tungsten (W), a tantalum (Ta), titanium (Ti), molybdenum (Mo), chromium (Cr) or these alloys, and a compound (for example, nitrides, such as TiN, and silicide of WSi2, MoSi2, TiSi2, and TaSi2 grade) or a diamond. Vacuum deposition, a spatter, a CVD method, the ion plating method, print processes, plating, etc. can use the usual thin film production process as the formation approach of the electron emission layers 74 and 84. About, 0.05-0.5 micrometers, although it is desirable to consider as the range of 0.1-0.3 micrometers preferably as for the thickness of the electron emission layers 74 and 84, it is not limited to this range. Even if the



ingredient which constitutes the electron emission layers 74 and 84 is the same as the ingredient which constitutes a gate electrode, they may differ.

[0049] the cathode electrode 22 in the Spindt mold field emission component, the gate electrode 24, and the gate electrode 76 in an edge mold field emission component -- or As an ingredient which constitutes the 1st gate electrode 72, the 2nd gate electrode 77, and the gate electrode 86 in a flat-surface mold field emission component A tungsten (W), niobium (Nb), a tantalum (Ta), molybdenum (Mo), Semi-conductors, such as metals, such as chromium (Cr), aluminum (aluminum), and copper (Cu), an alloy containing these metallic elements, a compound, or silicon (Si), a diamond, and carbon can be illustrated. In addition, it is good also considering the ingredient which constitutes the electrode of \*\*\*\*\* as the same ingredient, good also as an ingredient of the same kind, and good also as an ingredient of a different kind. As the formation approach of these electrodes, vacuum deposition, a spatter, a CVD method, the ion plating method, print processes, plating, etc. can use the usual thin film production process.

[0050] As a component of an insulating layer 23, the 1st insulating layer 73, the 2nd insulating layer 75, and an insulating layer 85, it can be used carrying out a laminating suitably and independent or well-known processes, such as a CVD method, the applying method, a spatter, and print processes, can use SiO<sub>2</sub>, SiN, SiON, and a glass paste hardened material for film production.

[0051] The base materials 21, 71, and 81 equivalent to the substrate for cathode panel units can mention a glass substrate, the glass substrate with which the insulator layer was formed in the front face, a quartz substrate, the quartz substrate with which the insulator layer was formed in the front face, and the semi-conductor substrate with which the insulator layer was formed in the front face that the front face should just consist of ingredients which have insulation at least. A glass substrate can be mentioned as a substrate 20 for cathode panels. Transparency is required, if a glass substrate, the glass substrate with which the insulator layer was formed in the front face, a quartz substrate, the quartz substrate with which the insulator layer was formed in the front face, and the semi-conductor substrate with which the insulator layer was formed in the front face can be mentioned that what is necessary is just to consist of ingredients with which a front face has insulation at least also as a substrate 51 which constitutes the anode panel 50 and it depends on the configuration of a display.

[0052] In this invention, it can also consider as the configuration which forms a layer insulation layer further all over including the gate electrode and 2nd gate electrode top, and forms a focal electrode on this layer insulation layer. In this case, the 2nd opening which is open for free passage to opening is prepared in the layer insulation layer. A focal electrode is an electrode for completing the orbit of the electron which faces to an anode electrode, with enabling improvement in brightness, and prevention of the color muddiness between contiguity pixels, and when a display with a comparatively long distance between a cathode panel and an anode panel is assumed, it is an especially effective electrode. A focal electrode can also do a funneling effect common to two or more field emission components by necessarily not preparing for every field emission component, for example, arranging along the predetermined array direction of a field emission component. Therefore, the 2nd opening prepared in a layer insulation layer does not necessarily need to be prepared in the ingredient layer which constitutes a focal electrode. The flat-surface configuration of the 2nd opening depends on the configuration of a focal electrode,, may be good also as similarity and may differ from the flat-surface configuration of opening.

[0053] The outline of the trial (inspection or evaluation) equipment of this invention suitable for operation of the test method of the cathode panel unit of this invention is hereafter explained with reference to drawing 21 . This testing device shown in drawing 21 is suitable for inspecting an one cathode panel unit.

[0054] This testing device 100 possesses the housing 101 in which the upper part carried out opening. In housing 101, the examining table 102 for laying the cathode panel unit which should be examined is arranged, and the examining-table rise-and-fall cylinder 103 is attached in the bottom of the examining table 102. The examining-table rise-and-fall cylinder 103 is put on the movable carriage seat which is not illustrated, and is movable to the space perpendicular direction of drawing 21 the whole examining table 102. the hole which the pin rise-and-fall cylinder 104 is further attached in the bottom of the examining table 102, and penetrated the examining table 102 by actuation of the pin rise-and-fall cylinder 104 -- a pin 105 goes up and down inside. Housing 101 is connected with the vacuum pump (not shown) through the bulb 107, and can make the ambient atmosphere of housing 101 a vacuum. Moreover, it has structure which can introduce inert gas, such as argon gas, in housing 101 through the quantity-of-gas-flow control device 108. In housing 101, only the number of terminal areas with which the inspection electrical-potential-difference impression needle 109 of the structure where the terminal area of a cathode panel unit can be contacted was formed for example, in the cathode panel unit is arranged further.

[0055] Panel 50A which has the fluorescent substance layer 52 and the anode electrode 53 of housing 101

which were formed on the transparence substrate 51 (examining-table side) in the upper part which carried out opening and which has the same configuration as an anode panel is arranged. The television equipment 110 which has CCD is arranged above panel 50A. Television equipment 110 is electrically connected to the image inspection unit 111. Moreover, the voltage source and the scan electrical-potential-difference controller 112 are electrically connected to the image inspection unit 111, the inspection electrical-potential-difference impression needle 109, and the anode electrode 53.

[0056] In addition, cathode panel unit taking-out admission into a club is prepared between a door (not shown) and housing 101. A shutter is prepared between housing 101 and cathode panel unit taking-out admission into a club (it is only hereafter called taking-out admission into a club). It is good also as a method which carries in a cathode panel unit to taking-out admission into a club where a shutter is closed, shuts a door, makes taking-out admission into a club a vacuum ambient atmosphere, subsequently opens a shutter, and carries in a cathode panel unit in housing 101. By making it such a method, the inside of housing 101 can always be held in a vacuum ambient atmosphere, and shortening of test time can be attained. If two or more doors and taking-out admission into a club are prepared, much more shortening of test time can be attained.

[0057] The outline of the modification of the testing device of this invention which fitted operation of the test method of the cathode panel unit of this invention at drawing 22 is shown. In this testing-device 100A shown in drawing 2222, the base material of one sheet with which two or more cathode panel units before cutting were formed is inspected instead of cutting a base material and performing the performance test of a cathode panel unit, after forming two or more cathode panel units from the base material of one sheet.

[0058] The examining-table rise-and-fall cylinder 103 attached in the bottom of the examining table 102 is put on the X-Y table, and the point that testing-device 100A shown in drawing 22 differs from the testing device 100 shown in drawing 21 has the examining table 102 in a point movable in the direction of X, and the direction of Y by actuation of the direction drive stepping motor 121 of X, and the direction drive stepping motor 122 of Y. The magnitude of panel 50A is the magnitude which can examine two or more one-sheet or cathode panel unit. Although size becomes large rather than the testing device 100 which showed testing-device 100A shown in drawing 22 to drawing 21, it becomes possible to inspect two or more cathode panel units for a short time.

[0059] In addition, the examining-table controller 113 is electrically connected to the image inspection unit 111. Furthermore, the direction drive stepping motor 121 of X and the direction drive stepping motor 122 of Y are electrically connected to the examining-table controller 113. And based on the location data from the image inspection unit 111, the cathode panel unit in the base material laid in the examining table 102 by actuation of the examining-table controller 113, the direction drive stepping motor 121 of X, and the direction drive stepping motor 122 of Y which should be examined is placed directly under panel 50A.

[0060] (Gestalt 1 of operation) The gestalt 1 of operation is related with the test method of a cathode panel unit using the testing device mentioned above in the cathode panel unit of this invention, a cathode panel and its manufacture approach, the display, and the list. The partial typical top view in the condition of having assembled the four cathode panel unit 11 is shown in drawing 1. Moreover, a decomposition perspective view to show the typical partial perspective view of the one cathode panel unit 11 in (A) of drawing 2, and show arrangement of the cathode electrode 22, the gate electrode 24, and electron emission electrode 26 grade is shown in (B) of drawing 2. In addition, illustration of a base material, an insulating layer, etc. is omitted in (B) of drawing 2. Furthermore, the conceptual diagram of the display which applied the Spindt mold field emission component is shown in drawing 8, and some typical decomposition perspective views of the cathode panel 10 and the anode panel 50 are shown in drawing 9.

[0061] The configuration of the electron emission field 12 can consist of the Spindt mold field emission component of plurality (for example, dozens thru/or about 1000 pieces) mentioned above, an edge mold field emission component of plurality (for example, dozens thru/or about hundreds of pieces), one, or two or more flat-surface mold field emission components. Although the case where the electron emission field 12 consists of two or more Spindt mold field emission components in principle is hereafter taken for an example in the gestalt of all operations and a cathode panel etc. is explained, it is substantially the same even if it is the case where the electron emission field 12 consists of other field emission components. Moreover, the manufacture approach of field emission component itself of the Spindt mold, an edge mold, or a flat-surface mold is good as it was explained previously then.

[0062] One electron emission field 12 consists of dozens thru/or about 1000 Spindt mold field emission components. Only the number of requests of the cathode electrode 22 of the Spindt mold field emission component which constitutes the electron emission field 12 exists in electrical conducting material layer 22A for cathode electrodes (a dotted line shows to drawing 1 and a dotted line shows only one to (A) of

drawing 2 ) by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer 22A itself for cathode electrodes is equivalent to the cathode electrode 22, and, specifically, the field of electrical conducting material layer 22A for cathode electrodes located in the pars basilaris ossis occipitalis of opening 25 corresponds to the cathode electrode 22. Moreover, only the number of requests of the gate electrode 24 of the Spindt mold field emission component which constitutes the electron emission field 12 exists in electrical conducting material layer 24A for gate electrodes by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer 24A itself for gate electrodes is equivalent to the gate electrode 24, and, specifically, the field of electrical conducting material layer 24A for gate electrodes located near the opening 25 corresponds to the gate electrode 24. And the field where stripe-like electrical conducting material layer 22A for cathode electrodes and stripe-like electrical conducting material layer 24A for gate electrodes overlap is equivalent to each electron emission field 12. It differs from the direction (it considers as the 1st direction) where stripe-like electrical conducting material layer 22A for cathode electrodes is prolonged, and the direction (it considers as the 2nd direction) where stripe-like electrical conducting material layer 24A for gate electrodes is prolonged. As for the 2nd direction, it is desirable that it is right-angled to the 1st direction. The terminal area 31 is formed in the edge of stripe-like electrical conducting material layer 22A for cathode electrodes, and, on the other hand, the terminal area 34 is formed also in the edge of stripe-like electrical conducting material layer 24A for gate electrodes.

[0063] Or one electron emission field 12 consists of dozens thru/or about hundreds of edge mold field emission components again. In one electron emission field 12 which consisted of edge mold field emission components which have the structure shown in drawing 12 (A), only the number of requests of the electron emission layer 74 of the edge mold field emission component which constitutes the electron emission field 12 exists in the electrical conducting material layer for electron emission layers by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer itself for electron emission layers is equivalent to the electron emission layer 74, and, specifically, the field of the electrical conducting material layer for electron emission layers in which it is located near the opening 78 corresponds to the electron emission layer 74. Furthermore, only the number of requests of the gate electrode 76 of the edge mold field emission component which constitutes the electron emission field 12 exists in the electrical conducting material layer for gate electrodes by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer itself for gate electrodes is equivalent to the gate electrode 76, and, specifically, the field of the electrical conducting material layer for gate electrodes in which it is located near the opening 78 corresponds to the gate electrode 76. And the field where the stripe-like electrical conducting material layer for cathode electrodes and the stripe-like electrical conducting material layer for gate electrodes overlap is equivalent to each electron emission field 12. It differs from the direction (it considers as the 1st direction) where the stripe-like electrical conducting material layer for electron emission layers is prolonged, and the direction (it considers as the 2nd direction) where the stripe-like electrical conducting material layer for gate electrodes is prolonged. As for the 2nd direction, it is desirable that it is right-angled to the 1st direction. The terminal area is prepared in the edge of the stripe-like electrical conducting material layer for electron emission layers, and, on the other hand, the terminal area is prepared also in the edge of the stripe-like electrical conducting material layer for gate electrodes.

[0064] Furthermore, in one electron emission field 12 which consisted of edge mold field emission components which have the structure shown in (B) of drawing 12 , only the number of requests of the 1st gate electrode 72 of the edge mold field emission component which constitutes the electron emission field 12 exists in the electrical conducting material layer for the 1st gate electrodes by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer itself for the 1st gate electrodes is equivalent to the 1st gate electrode 72, and, specifically, the field of the electrical conducting material layer for the 1st gate electrodes located in the pars basilaris ossis occipitalis of opening 78 corresponds to the 1st gate electrode 72. Moreover, only the number of requests of the electron emission layer 74 of the edge mold field emission component which constitutes the electron emission field 12 exists in the electrical conducting material layer for electron emission layers by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer itself for electron emission layers is equivalent to the electron emission layer 74, and, specifically, the field of the electrical conducting material layer for electron emission layers in which it is located near the opening 78 corresponds to the electron emission layer 74. Furthermore, only the number of requests of the 2nd gate electrode 77 of the edge mold field emission component which constitutes the electron emission field 12 exists in the electrical conducting material layer for the 2nd gate electrodes by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer itself for the 2nd gate electrodes is equivalent to the 2nd gate

electrode 77, and, specifically, the field of the electrical conducting material layer for the 2nd gate electrodes in which it is located near the opening 78 corresponds to the 2nd gate electrode 77. With the direction (it considers as the 2nd direction) where the stripe-like electrical conducting material layer for the 1st gate electrodes is prolonged, it differs from (it considering as the 1st direction) with the direction where the stripe-like electrical conducting material layer for electron emission layers is prolonged. As for the 2nd direction, it is desirable that it is right-angled to the 1st direction. Although the direction where the stripe-like electrical conducting material layer for the 2nd gate electrodes is prolonged may be the 1st direction and may be the 2nd direction, it is desirable to have extended in the 1st direction from the field of the simplification of a configuration. The terminal area is prepared in each of the edge of the stripe-like electrical conducting material layer for electron emission layers, the edge of the stripe-like electrical conducting material layer for the 1st gate electrodes, and the edge of the stripe-like electrical conducting material layer for the 2nd gate electrodes.

[0065] Or one electron emission field 12 consists of one or two or more flat-surface mold field emission components again. In one electron emission field 12 which consisted of flat-surface mold field emission components which have the structure shown in drawing 17, only the number of requests of the electron emission layer 84 of the flat-surface mold field emission component which constitutes the electron emission field 12 exists in the electrical conducting material layer for electron emission layers by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer itself for electron emission layers is equivalent to the electron emission layer 84, and, specifically, the field of the electrical conducting material layer for electron emission layers located in the pars basilaris ossis occipitalis of opening 88 corresponds to the electron emission layer 84. Furthermore, only the number of requests of the gate electrode 86 of the edge mold field emission component which constitutes the electron emission field 12 exists in the electrical conducting material layer for gate electrodes by which patterning was carried out to the shape of a stripe. Stripe-like electrical conducting material layer itself for gate electrodes is equivalent to the gate electrode 86, and, specifically, the field of the electrical conducting material layer for gate electrodes in which it is located near the opening 88 corresponds to the gate electrode 86. It differs from the direction (it considers as the 1st direction) where the stripe-like electrical conducting material layer for electron emission layers is prolonged, and the direction (it considers as the 2nd direction) where the stripe-like electrical conducting material layer for gate electrodes is prolonged. As for the 2nd direction, it is desirable that it is right-angled to the 1st direction. The terminal area is prepared in each of the edge of the stripe-like electrical conducting material layer for electron emission layers, and the stripe-like electrical conducting material layer for gate electrodes.

[0066] In the gestalt 1 of operation, an aspect ratio 16:9 and the cathode panel unit 11 of 4 inches of vertical angles are produced using the base material 21 which consists of a 1mx1m glass substrate, for example. When using the base material 21 of such magnitude, the 209 cathode panel unit 11 can be produced. In addition, if the magnitude of a base material 21 is not limited to above-mentioned magnitude, for example, the base material 21 of 200mmx200mm magnitude is used, it can produce the eight cathode panel unit 11. If magnitude of a base material 21 is made small, since a cathode panel unit manufacturing facility will become small, generating of the thickness variation, process tolerance, and process dust of film production equipment is improved, and the defective incidence rate in a cathode panel unit manufacture process falls. Moreover, the miniaturization of a manufacturing facility leads to compaction of maintenance time amount required for maintenance, and can gather a cathode panel unit capacity utilization rate. However, the number of cathode panel unit manufacturing facilities increases, and the occupancy floor space of a manufacturing facility increases. Therefore, what is necessary is just to choose the magnitude of the base material 21 to be used according to a production scale.

[0067] When manufacturing the display of a large area, even if the field emission component (a sunspot shows to (A) of drawing 31) of a malfunction exists, the manufacture yield of a display does not fall extremely. For example, though the cathode panel unit containing the field emission component of a malfunction is discarded as shown in the right-hand side of (A) of drawing 31 in order to manufacture an aspect ratio 16:9 and the display of 32 inches of vertical angles when using a 1mx1m glass substrate as a base material is assumed for example, a cathode panel unit with a good considerable number can be obtained. Moreover, when using a 1mx1m glass substrate as a base material is assumed, in various film production processes, it is easy to produce fluctuation of thickness or a film property in the four corners of a base material, but as shown in the right-hand side of (B) of drawing 31, even if it is the case where this fluctuation occurs, a cathode panel unit with a good considerable number can be obtained.

[0068] After producing two or more cathode panel units 11 from the base material 21 of one sheet, using a diamond cutter, a base material 21 can be cut and the cathode panel unit 11 can be obtained. Then, it washes



and the cathode panel unit 11 is examined in the testing device shown in drawing 21 . Or after producing two or more cathode panel units 11 from the base material 21 of one sheet, it washes to the base material 21 whole before cutting, and, subsequently to drawing 22 , each cathode panel unit 11 is examined in the shown testing device again. Then, using a diamond cutter, a base material 21 can be cut and the cathode panel unit 11 can be obtained. In addition, about a test method, it mentions later.

[0069] The cathode panel unit 11 consists of two or more cold cathode field-electron-emission field groups (it is only hereafter called an electron emission field group) formed on the base material 21 and the base material 21. Each electron emission field group consists of two or more electron emission fields 12. The field where electrical conducting material layer 24A for gate electrodes by which patterning was carried out to the shape of stripe-like electrical conducting material layer 22A for cathode electrodes and a stripe specifically overlaps is equivalent to each electron emission field 12. In addition, one electron emission field group also consists of two or more electron emission fields 12 which one electron emission field group consists of two or more electron emission fields 12 which consisted of electrical conducting material layer 22 for cathode electrodes A of the shape of one stripe, and consisted of electrical conducting material layer 24 for gate electrodes A of the shape of one stripe. That is, one electron emission field 12 belongs to two electron emission field groups. It is desirable to set constant the pitch P1 of electrical conducting material layer 22A for cathode electrodes within the one cathode panel unit 11, and to also set constant the pitch P2 of electrical conducting material layer 24A for gate electrodes. Moreover, it is desirable to set to P1 the pitch between electrical conducting material layer 22A for cathode electrodes located in the outermost part of the cathode panel unit 11 and electrical conducting material layer 22A for cathode electrodes located in the outermost part of the cathode panel unit 11 which adjoins this cathode panel unit 11. Furthermore, it is desirable to set to P2 the pitch between electrical conducting material layer 24A for gate electrodes located in the outermost part of the cathode panel unit 11 and electrical conducting material layer 24A for gate electrodes located in the outermost part of the cathode panel unit 11 which adjoins this cathode panel unit 11.

[0070] The cathode panel unit 11 has the terminal areas 31 and 34 prolonged from each electron emission field group. The terminal area 31 is formed in the edge of electrical conducting material layer 22A for cathode electrodes of the shape of each stripe, and, specifically, the terminal area 34 is formed in the edge of electrical conducting material layer 24A for gate electrodes of the shape of each stripe. The terminal area 31 prepared in the edge of electrical conducting material layer 22A for cathode electrodes can form a pore 30 in the insulating layer 23 of the edge upper part of electrical conducting material layer 22A for cathode electrodes after [a process -130] based on a lithography technique and a dry etching technique, and can obtain it by exposing the edge front face of electrical conducting material layer 22A for cathode electrodes. On the other hand, the terminal area 34 prepared in the edge of electrical conducting material layer 24A for gate electrodes of the shape of each stripe should just be taken as edge surface itself of electrical conducting material layer 24A for gate electrodes of the shape of each stripe.

[0071] And if the terminal areas 31 and 34 of each cathode panel unit 11 are electrically connected with the terminal areas 31 and 34 of the adjoining cathode panel unit 11 (i.e., if it connects using wiring 32 and 35 (specifically bonding public funds group chip)), the cathode panel 10 can be constituted.

[0072] As a notional perspective view is shown in drawing 3 , the cathode panel 10 consists of two or more connection terminal areas 13A and 13B prepared in the periphery section of the substrate 20 for cathode panels, and the exterior (for example, a scanning circuit and a control circuit), and two or more cathode panel units 11. Each cathode panel unit 11 is attached in the substrate 20 for cathode panels. Specifically, each cathode panel unit 11 is pasted up on the substrate 20 for cathode panels. The terminal areas 31 and 34 of each cathode panel unit 11 are electrically connected with the terminal areas 31 and 34 of the adjoining cathode panel unit 11 as above-mentioned. Moreover, the terminal areas 31 and 34 of the cathode panel unit 11 attached in the periphery section of the substrate 20 for cathode panels are electrically connected to the connection terminal areas 13A and 13B prepared in the periphery section of the substrate 20 for cathode panels. That is, it connects electrically using wiring 14 (specifically bonding public funds group chip).

[0073] The cathode panel 10 is producible at the following processes. That is, the cathode panel unit 11 is produced and it attaches in the substrate 20 for cathode panels with which two or more cathode panel units 11 were formed in two or more connection terminal areas 13A and 13B of an electrical installation sake with the exterior (for example, a scanning circuit and a control circuit) by the periphery section (for example, it pastes up). In addition, as shown in drawing 7 , the location mark 15 is beforehand formed in the substrate 20 for cathode panels by the etching method etc. And what is necessary is just to put the cathode panel unit 11 on the position on the substrate 20 for cathode panels with which the location of the location mark 15

was detected with image recognition equipment, for example, the adhesives of a ceramic system were applied to the front face using an assembly machine with image recognition equipment. And the cathode panel unit 11 can be attached in the substrate 20 for cathode panels by stiffening adhesives by heating, for example. then, the terminal areas 31 and 34 of each cathode panel unit 11 and the terminal areas 31 and 34 of the adjoining cathode panel unit 11 -- ultrasonic bonding -- each terminal area -- bonding -- public funds -- it connects electrically by sticking a group chip by pressure. moreover, the terminal areas 31 and 34 of the cathode panel unit 11 attached in the periphery section of the substrate 20 for cathode panels and the connection terminal areas 13A and 13B prepared in the periphery section of the substrate 20 for cathode panels -- ultrasonic bonding -- each terminal area -- bonding -- public funds -- it connects electrically by sticking a group chip by pressure.

[0074] in addition, the electrical conducting material layer 22 for cathode electrodes which consists of polish recon -- electrical conducting material layer 24A for gate electrodes which consists of A and TiN -- receiving -- the bonding in which electric connection of both ohmic nature is possible -- public funds -- titanium (Ti) can be mentioned as an ingredient which constitutes a group chip. the bonding according to an alloying reaction when Ti is used -- public funds -- using the spacer 40 shown in drawing 3 and drawing 4 , although fixing to electrical conducting material layer 22 for cathode electrodes A of a group chip or electrical conducting material layer 24A for gate electrodes is difficult -- bonding -- public funds -- fixing to electrical conducting material layer 22 for cathode electrodes A of a group chip or electrical conducting material layer 24A for gate electrodes can be made into a positive thing. For example, the spacer 40 produced from an insulating material called a quartz also has the function to hold the distance between the cathode panel 10 and the anode panel 50 to a fixed value. Moreover, as shown in typical drawing 4 which is end view a part, the crevice is formed in the field of the spacer 40 which touches the cathode panel unit 11, and the holddown member 41 produced from the insulating material in this crevice is contained. the bonding whose holddown members 41 are wiring 32 and 35 -- public funds -- it is in the condition of having hung after the group chip, and, moreover, is in contact with the front face of terminal areas 31 and 34. It is lost by making it such a configuration that wiring 32 and 35 moves. Adhesives are applied to the base of the spacer 40 in contact with the front face of the cathode panel unit 11. the bonding whose holddown members 41 are wiring 32 and 35 -- public funds -- after arranging a spacer 40 on the cathode panel unit 11 so that it may be in the condition of having hung after the group chip, a spacer 40 is fixable to the cathode panel unit 11 by stiffening adhesives.

[0075] The fundamental structure of a display is shown in drawing 8 and drawing 9 . Except for the point that the cathode panel unit 11 is attached on the substrate 20 for cathode panels, the display of this invention has the same structure as fundamentally as the conventional display shown in drawing 32 and drawing 33 . That is, the display of this invention consists of two or more pixels, and each pixel consists of an electron emission field 12 established in the cathode panel 10, and the anode electrode 53 and the fluorescent substance layer 52 (52R, 52G, 52B) which countered the electron emission field 12 and were prepared on the anode panel 50. And the cathode panel 10 consists of a substrate 20 for cathode panels, two or more connection terminal areas 13A and 13B prepared in the periphery section of the substrate 20 for cathode panels for electrical installation with the exterior (for example, a scanning circuit and a control circuit), and a cathode panel unit 11 attached in the substrate 20 for cathode panels. The configuration of each cathode panel unit is as having explained previously. And the terminal areas 31 and 34 of each cathode panel unit 11 are electrically connected using for example, the adjoining terminal areas 31 and 34 of the cathode panel unit 11 and the adjoining metal chip for bondings. On the other hand, the terminal areas 31 and 34 of the cathode panel unit 11 attached in the periphery section of the substrate 20 for cathode panels use for example, the metal chip for bondings for the connection terminal areas 13A and 13B prepared in the periphery section of the substrate 20 for cathode panels, and are electrically connected to them.

[0076] The cathode panel 10 and the anode panel 50 It is the periphery section (in the cathode panel 10) of these panels about the frit glass which is not illustrated. For example, on the front face of the substrate 20 for cathode panels including connection terminal areaA [ 13 ] and 13B some tops, And it applies to the ceramics, glass, and the frame (not shown) produced from the quartz, and frit glass is dried and the cathode panel 10 and the anode panel 50 are calcinated, where a frame is inserted. The cathode panel 10, the anode panel 50, and a frame are joinable with this. Then, what is necessary is just to let space surrounded with the cathode panel 10, the anode panel 50, and the frame be a vacuum.

[0077] The test method of the cathode panel unit 11 using the testing device 100 of this invention previously explained with reference to drawing 21 is explained hereafter. In addition, the one cathode panel unit 11 is inspected. That is, after producing two or more cathode panel units 11 from the base material 21 of one sheet, using a diamond cutter, a base material 21 is cut and the cathode panel unit 11 is obtained. Then, it

washes and the cathode panel unit 11 is examined in the testing device shown in drawing 21 .

[0078] The cathode panel unit 11 is laid in the examining table 102 by placing the cathode panel unit 11 on a pin 105 in the condition of having arranged the pin 105 in the rise location, on the occasion of the performance test of the cathode panel unit 11, and subsequently dropping a pin 105. And after carrying in the cathode panel unit 11 laid in the examining table 102 in housing 101 through the door (not shown) prepared in housing 101, the inside of housing 101 is made into a vacuum ambient atmosphere with a vacuum pump. In addition, inert gas, such as argon gas, is introduced in housing 101 through the quantity-of-gas-flow control device 108, and the pressure in housing 101 is controlled to a predetermined value (for example,  $1.2 \times 10^3$  Pa). In addition, as for the pressure in housing 101, it is desirable to consider as  $10\text{--}10^3$  Pa order.

[0079] If the inside of housing 101 serves as a desired ambient atmosphere, the examining-table rise-and-fall cylinder 103 will be operated, the examining table 102 will be raised, and distance between the cathode panel unit 11 and a panel 50 will be set to 1mm. It combines and the inspection electrical-potential-difference impression needle 109 is contacted to the connection terminal areas 13A and 13B. And the electrical potential difference for a scan which is equivalent to the cathode electrode 22 of the electron emission field 12 at the 2nd predetermined electrical potential difference through the inspection electrical-potential-difference impression needle 109 and terminal area 13A from a voltage source and the scan electrical-potential-difference controller 112 The electrical potential difference for control which impresses (for example, 10 volts) and is equivalent to the gate electrode 24 of the electron emission field 12 at the 2nd predetermined electrical potential difference through the inspection electrical-potential-difference impression needle 109 and connection terminal area 13B (For example, 15 volts) are impressed and the electrical potential difference for acceleration equivalent to the 1st predetermined electrical potential difference (for example, 1.5k volts) is further impressed to the anode electrode 53. An electron is emitted by this from the point of the electron emission electrode 26 which constitutes an electron emission field. And an electron is drawn to the anode electrode 53 prepared in the panel 50, and it collides with the fluorescent substance layer 52 which is an emitter layer formed between the anode electrode 53 and the transparency substrate 51. Consequently, the fluorescent substance layer 52 is excited, light is emitted, and a desired image can be obtained.

[0080] In addition, where the electrical potential difference for a scan is impressed to one at connection terminal area 13A, [ for example, ] If the actuation which starts to all connection terminal area 13B finished, where it impressed the electrical potential difference for control to connection terminal area 13B one by one, and the electrical potential difference for a scan is impressed to the following connection terminal area 13A. The electrical potential difference for control is impressed to connection terminal area 13B one by one, and if the actuation which starts to all connection terminal area 13B finishes, actuation of impressing the electrical potential difference for a scan to the following connection terminal area 13A will be repeated to all connection terminal area 13A. In addition, contrary to this, it is in the condition which impressed the electrical potential difference for control to one at connection terminal area 13B. If the actuation which starts to all connection terminal area 13A finished, where it impressed the electrical-potential-difference sequential for a scan to connection terminal area 13A, and the electrical potential difference for control is impressed to the following connection terminal area 13B. The electrical potential difference for a scan is impressed to connection terminal area 13A one by one, and if the actuation which starts to all connection terminal area 13A finishes, actuation of impressing the electrical potential difference for control to the following connection terminal area 13B may be repeated to all connection terminal area 13B.

[0081] This image is televised with television equipment 110, and the signal from television equipment 110 is processed in the image inspection unit 111. When the electron emission field 12 has a defect, in the image based on the pixel corresponding to this electron emission field 12, the scotoma (\*\*\*\*), the luminescent spot, brightness nonuniformity, etc. occur. The location of the electron emission field 12 which produced such abnormalities in an image is analyzed in the image inspection unit 111, and is displayed on the display which is not illustrated. In addition, it is also desirable to combine the wiring short-circuit test which measures the resistance of the conventional electron emission field 12 and abnormality generation of heat, and inspects the existence of a short circuit, and to perform it to the cathode panel unit 11.

[0082] The ambient atmosphere after the completion of display test and in housing 101 is made into an atmospheric-air ambient atmosphere, the examining-table rise-and-fall cylinder 103 is operated, the examining table 102 is dropped, and the examining table 102 in which the cathode panel unit 11 was laid is taken out from housing 101. The cathode panel unit 11 in which the electron emission field 12 which produced the abnormalities in an image exists is discarded, for example.

[0083] (Gestalt 2 of operation) The gestalt 2 of operation is deformation of the gestalt 1 of implementation

of invention. The point that the cathode panel unit of the gestalt 2 of operation is different from the cathode panel unit of the gestalt 1 of operation is in the point that the configurations of the terminal area prepared in the cathode panel unit differ. The partial typical top view in the condition of having assembled the four cathode panel unit 11 is shown in drawing 5. Moreover, in the gestalt 2 of operation, the test method of a cathode panel unit is performed using testing-device 100A of this invention previously explained with reference to drawing 22. That is, after producing two or more cathode panel units 11 from the base material 21 of one sheet, it washes to the base material 21 whole, and, subsequently to drawing 22, each cathode panel unit 11 is examined in shown testing-device 100A. Then, using a diamond cutter, a base material 21 can be cut and the cathode panel unit 11 can be obtained.

[0084] The fundamental configuration of a cathode panel unit, a cathode panel, and a display is good substantially like [ it is good like the gestalt 1 of operation then, and / a cathode panel and its manufacture approach ] the gestalt 1 of operation then.

[0085] In the gestalt 2 of operation, after producing two or more cathode panel units 11 from the base material 21 of one sheet, a resist layer is formed in the whole surface and resist opening is prepared in the upper resist layer of terminal areas 31 and 34 based on a lithography technique. That is, opening is prepared in the resist layer above the terminal area formation schedule field of the upper resist layer of the pore 30 formed in the insulating layer 23 above the edge of stripe-like electrical conducting material layer 22A for cathode electrodes, and a stripe-like the edge of electrical conducting material layer 24A for gate electrodes.

[0086] And a resist layer is exfoliated after forming an aluminum system alloy layer in the whole surface with vacuum deposition. In this way, as shown in drawing 5, the pad 33 which consists of the aluminum system alloy layer equivalent to a terminal area 31 on the edge of electrical conducting material layer 22A for cathode electrodes exposed to the pars basilaris ossis occipitalis of the pore 30 formed in the insulating layer 23 can be obtained. The pad 36 which consists of the aluminum system alloy layer equivalent to a terminal area 34 on the other hand on the edge of stripe-like electrical conducting material layer 24A for gate electrodes can be obtained.

[0087] thus, the bonding which consists of gold (Au) by forming the pads 33 and 36 which consist of an aluminum system alloy layer -- public funds -- if a group chip is used, bonding by the Au-aluminum alloying reaction can be performed. namely, the bonding which consists of gold (Au) -- public funds -- the terminal areas 31 and 34 of the cathode panel unit 11 which adjoins the terminal areas 31 and 34 of each cathode panel unit 11 using a group chip -- ultrasonic bonding -- each terminal area -- bonding -- public funds -- it is electrically connectable by sticking a group chip by pressure. the terminal areas 31 and 34 of the cathode panel unit 11 attached in the periphery section of the substrate 20 for cathode panels on the other hand, and the connection terminal areas 13A and 13B prepared in the periphery section of the substrate 20 for cathode panels -- ultrasonic bonding -- each terminal area -- bonding -- public funds -- it is electrically connectable by sticking a group chip by pressure. in addition, bonding -- public funds -- the between to the immobilization by the spacer 40 since the group chip is certainly being fixed to the terminal area by the alloying reaction -- bonding -- public funds -- a group chip is not omitted from a terminal area

[0088] A base material 21 is laid in the examining table 102 by placing the base material 21 before cutting to each cathode panel unit 11 on a pin 105 in the condition of having arranged the pin 105 in the rise location, and subsequently dropping a pin 105. And after carrying in the base material 21 laid in the examining table 102 in housing 101 through the door (not shown) prepared in housing 101, the inside of housing 101 is made into a vacuum ambient atmosphere with a vacuum pump. In addition, inert gas, such as argon gas, is introduced in housing 101 through the quantity-of-gas-flow control device 108, and the pressure in housing 101 is controlled to a predetermined value (for example,  $1.2 \times 10^3$  Pa).

[0089] If the inside of housing 101 serves as a desired ambient atmosphere, the direction drive stepping motor 121 of X and the direction drive stepping motor 122 of Y are operated, and the cathode panel unit 11 which should be examined is located directly under panel 50A. And the examining-table rise-and-fall cylinder 103 is operated, the examining table 102 is raised, and distance between the cathode panel unit 11 and a panel 50 is set to 1mm. It combines and the inspection electrical-potential-difference impression needle 109 is contacted to the connection terminal areas 13A and 13B. And the inspection electrical-potential-difference impression needle 109 from a voltage source and the scan electrical-potential-difference controller 112, the electrical potential difference for a scan which is the 2nd predetermined electrical potential difference through terminal area 13A at the cathode electrode 22 of the electron emission field 12. The electrical potential difference for control which (for example, 10 volts) are impressed and is the 2nd predetermined electrical potential difference at the gate electrode 24 of the electron emission field 12 through the inspection electrical-potential-difference impression needle 109 and connection terminal area 13B (For example, 15 volts) are impressed and the electrical potential difference for acceleration (for



example, 1.5k volts) which is the 1st predetermined electrical potential difference is further impressed to the anode electrode 53. An electron is emitted by this from the point of the electron emission electrode 26 which constitutes an electron emission field. And an electron is drawn to the anode electrode 53 prepared in the panel 50, and it collides with the fluorescent substance layer 52 which is an emitter layer formed between the anode electrode 53 and the transparence substrate 51. Consequently, the fluorescent substance layer 52 is excited, light is emitted, and a desired image can be obtained.

[0090] In addition, where the electrical potential difference for a scan is impressed to one at connection terminal area 13A, [ for example, ] If the actuation which starts to all connection terminal area 13B finished, where it impressed the electrical potential difference for control to connection terminal area 13B one by one, and the electrical potential difference for a scan is impressed to the following connection terminal area 13A. The electrical potential difference for control is impressed to connection terminal area 13B one by one, and if the actuation which starts to all connection terminal area 13B finishes, actuation of impressing the electrical potential difference for a scan to the following connection terminal area 13A will be repeated to all connection terminal area 13A. In addition, contrary to this, it is in the condition which impressed the electrical potential difference for control to one at connection terminal area 13B. If the actuation which starts to all connection terminal area 13A finished, where it impressed the electrical-potential-difference sequential for a scan to connection terminal area 13A, and the electrical potential difference for control is impressed to the following connection terminal area 13B. The electrical potential difference for a scan is impressed to connection terminal area 13A one by one, and if the actuation which starts to all connection terminal area 13A finishes, actuation of impressing the electrical potential difference for control to the following connection terminal area 13B may be repeated to all connection terminal area 13B.

[0091] This image is televised with television equipment 110, and the signal from television equipment 110 is processed in the image inspection unit 111. When the electron emission field 12 has a defect, in the image based on the pixel corresponding to this electron emission field 12, the scotoma (\*\*\*\*), the luminescent spot, brightness nonuniformity, etc. occur. The location of the electron emission field 12 which produced such abnormalities in an image is analyzed in the image inspection unit 111, and is displayed on the display which is not illustrated.

[0092] Subsequently, the examining-table rise-and-fall cylinder 103 is operated, and the examining table 102 is dropped. Henceforth, an X-Y table is moved serially and all trials of the cathode panel unit 11 formed in the base material 21 are performed. The ambient atmosphere after the completion of display test and in housing 101 is made into an atmospheric-air ambient atmosphere, the examining-table rise-and-fall cylinder 103 is operated, the examining table 102 is dropped, and the examining table 102 in which the base material 21 was laid is taken out from housing 101. Then, using a diamond cutter, a base material 21 is cut and the cathode panel unit 11 is obtained. The cathode panel unit 11 in which the electron emission field 12 which produced the abnormalities in an image exists is discarded, for example.

[0093] (Gestalt 3 of operation) The gestalt 3 of operation is deformation of the gestalt 2 of implementation of invention. The point that the cathode panel unit of the gestalt 3 of operation is different from the cathode panel unit of the gestalt 2 of operation is in the point that the structures of a spacer differ. Except for this point, the cathode panel unit 11, the cathode panel 10, displays, these production approaches, and a test method are the same as that of the gestalt 2 of operation.

[0094] The typical perspective view before the cathode panel unit 11 and the assembly of a spacer 60 is shown in drawing 6 . For example, wiring 61 is formed in the spacer 60 produced from an insulating material called a quartz in the print processes which used for example, the golden paste on the base in contact with the front face of the cathode panel unit 11. Such a spacer 60 is arranged on the adjoining cathode panel unit 11. At this time, a spacer 60 is arranged so that wiring 61 may be located on the terminal area 31 of each cathode panel unit 11. Moreover, although not illustrated to drawing 6 , another spacer 60 is arranged so that wiring 61 may be located on the terminal area 34 of each cathode panel unit 11. And terminal areas 31 and 34 are connected with wiring 61 by heat-treating based on an alloying reaction, using supersonic vibration. A spacer 60 is fixed to coincidence to the cathode panel unit 11 by this. Thus, since connection of terminal areas 31 and 34 and the spacer 60 to the cathode panel unit 11 are fixable to coincidence, assembly operation is simplified and improvement in manufacture cost reduction and an assembly yield can be aimed at. Moreover, since the height of a spacer 60 can mainly prescribe the distance between the cathode panel 10 and the anode panel 50, the height of a spacer 60 is only arranged and equalization of the distance between the cathode panel 10 and the anode panel 50 can be attained easily.

[0095] As mentioned above, although this invention was explained based on the gestalt of implementation of invention, this invention is not limited to these. The numeric value explained with the gestalt of implementation of invention and the used various ingredients are instantiation, and can be changed suitably.

Moreover, the manufacture approach of a field emission component is also instantiation, and can be changed suitably. It can apply to the cathode panel unit explained in the gestalt 1 of operation of the structure of the terminal area explained in the gestalt 2 of operation, and can apply to the cathode panel unit explained in the gestalt 2 of operation of the structure of the terminal area explained in the gestalt 1 of operation.

[0096] A field emission component can also be considered as the configuration which equipped (A) of drawing 19 with the typical trunk wiring 22C and 22D which has the so-called shunt structure as end view is shown in part and a typical decomposition perspective view is shown in (B) of drawing 19. That is, in [a process -100], on the base material 21 which consists of a glass substrate, after producing the electrical conducting material layer for cathode electrodes which consists for example, of polish recon by the plasma-CVD method, based on a lithography technique and a dry etching technique, patterning of the electrical conducting material layer for cathode electrodes is carried out, and a flat-surface appearance configuration forms a rectangular cathode electrode group, branch wiring 22B, and trunk wiring 22C. Then, insulating-layer 23' which changes from SiO<sub>2</sub> to the whole surface is produced with a CVD method, and a pore is formed in upper insulating-layer 23' of trunk wiring 22C. then, the thing which for example, an aluminum system alloy layer is produced in a spatter on insulating-layer 23' including the inside of a pore, and is done for patterning of this aluminum system alloy layer -- insulating-layer 23' -- also upwards, trunk wiring 22D is formed. This trunk wiring 22D is electrically connected with trunk wiring 22C by the aluminum system alloy layer (these are generically called a contact hole) with which the pore and the pore were filled up. Subsequently, insulating-layer 53" is formed in the whole surface, sequential film production of the electrical conducting material layer for gate electrodes (for example, TiN layer) is carried out in a spatter, subsequently, it consists of the stripe-like electrical conducting material layer for gate electrodes by carrying out patterning of the electrical conducting material layer for gate electrodes with a lithography technique and a dry etching technique, and the gate electrode group which has opening 25 is formed. Then, the opening 25 with a diameter of about 1 micrometer is formed in insulating-layer 23" and 23', using a gate electrode group as a mask for etching.

[0097] Thus, generating of the delay of a signal etc. is avoidable by adopting the trunk wiring 22C and 22D which has shunt structure. This shunt structure is applicable also to the cathode panel equipped with the electron emission field 12 which consisted of an edge mold field emission component and a flat-surface mold field emission component.

[0098] Moreover, as end view is shown in part and a typical decomposition perspective view is shown in (B) of drawing 20, it can also consider as the structure of connecting branch wiring 22B and trunk wiring 22D which formed trunk wiring 22D only on insulating-layer 23', and were formed on the base material 21 through the contact hole, without [ typical to (A) of drawing 20 ] forming trunk wiring 22C on a base material 21.

[0099] What is necessary is just to form a terminal area 31 in the edge of trunk wiring 22D, if it is in such structures.

[0100] Although the magnitude of the cathode panel unit 11 cut from the base material 21 was set constant in the above explanation, it does not limit to this. A partial typical top view is shown for the four cathode panel unit 11 before cutting a base material 21 in drawing 23. Electrical conducting material layer 22A for cathode electrodes of the shape of a stripe in the cathode panel unit 11 adjoined before cutting a base material 21 is connected, and stripe-like electrical conducting material layer 24A for gate electrodes may also be connected. In addition, in drawing 23, an alternate long and short dash line shows the part of a base material 21 which should be cut in order to obtain the cathode panel unit 11 of each smallest unit. In addition, the pore 30 is formed in electrical conducting material layer 22 for cathode electrodes A which constitutes each cathode panel unit 11. Structure of terminal areas 31 and 34 can also be made into the structure explained with the gestalt 1 of operation instead of the structure explained with the gestalt 2 of operation. And after examining the cathode panel unit 11 formed in the base material 21 like the gestalt 2 of operation, a base material 21 is cut and the cathode panel unit 11 is obtained. A base material 21 is cut, and (sheet) and the cathode panel unit 11 of a smallest unit presupposes that it is obtained. Moreover, the number of sheets of the cathode panel unit 11 of the smallest unit needed in order to produce a cathode panel is made into  $M \times N$  \*\*. The cathode panel unit which the smallest unit which does not contain the field emission component of a malfunction followed although the  $M \times N$  cathode panel unit 11 was obtained from the base material 21 of one sheet with the gestalt 3 of the gestalt 1 of operation - operation instead (dimension:  $m \times n$ .) However, you may cut to  $1 \leq m \leq M$  and  $1 \leq n \leq N$ . In addition, "m" expresses m times of the die length of one side of the cathode panel unit 11 of a smallest unit, and "n" expresses n times of the die length of the side of another side of the cathode panel unit 11 of a smallest unit. That is, it is substantially good also as magnitude of arbitration in the magnitude of the cathode panel unit 11 obtained by

cutting the base material 21 of one sheet. By doing in this way, assembly operation is simplified and improvement in manufacture cost reduction and an assembly yield can be aimed at.

[0101] Moreover, it is good also as die length which is equivalent to the die length of the cathode panel 10 in the die length of the cathode panel unit 11. What is necessary is just to connect electrically connection terminal area 13A which prepared the terminal area in the edge of electrical conducting material layer 22A for cathode electrodes, and was prepared in this terminal area and the periphery section of the substrate 20 for cathode panels, in making the die length of stripe-like electrical conducting material layer 22A for cathode electrodes into the die length equivalent to the die length of the cathode panel 10. In addition, it connects with the terminal area prepared in the edge of each electrical conducting material layer 24A for gate electrodes of the shape of a stripe which constitutes the cathode panel unit 11 which adjoins the terminal area prepared in the edge of electrical conducting material layer 24A for gate electrodes of the shape of each stripe which constitutes a cathode panel unit electrically. Or what is necessary is just to connect electrically connection terminal area 13B which prepared the terminal area in the edge of electrical conducting material layer 24A for gate electrodes, and was prepared in this terminal area and the periphery section of the substrate 20 for cathode panels, in making the die length of stripe-like electrical conducting material layer 24A for gate electrodes into the die length equivalent to the die length of the cathode panel 10 again. In addition, it connects with the terminal area prepared in the edge of each electrical conducting material layer 22A for cathode electrodes of the shape of a stripe which constitutes the cathode panel unit 11 which adjoins the terminal area prepared in the edge of electrical conducting material layer 22A for cathode electrodes of the shape of each stripe which constitutes a cathode panel unit electrically.

[0102] for example, the example which built the focal electrode into the edge mold field emission component of the 2nd structure -- a part of typical drawing 24 -- it is shown in end view. In this field emission component, the layer insulation layer 94 is further formed all over including the 2nd gate electrode 77 top, and the focal electrode 95 is formed on this layer insulation layer 94. The 2nd opening 96 which is open for free passage to opening 78 is formed in the layer insulation layer 94. In addition, the focal electrode 95 can also do a funneling effect common to two or more field emission components by necessarily not preparing for every field emission component, for example, arranging along the predetermined array direction of a field emission component. Therefore, the 2nd opening 96 prepared in the layer insulation layer 94 does not necessarily need to be formed in the ingredient layer which constitutes the focal electrode 95. Moreover, the potential of the electron emission layer 74, approximation, or since it is the same, the potential of the focal electrode 95 usually has a possibility that electron emission may arise from the focal electrode 95 toward the 1st gate electrode 72 or the 2nd gate electrode 77, when the open end of the focal electrode 95 has projected towards the interior of opening 78 or the 2nd opening 96. Therefore, the focal electrode 95 has especially the desirable thing established so that it may not project into the 2nd opening 96. In addition, it is desirable to make the point of the 2nd gate electrode 77 project from the layer insulation layer 94 especially from a viewpoint which raises the field strength near [ which was projected from the opening 78 of the electron emission layer 74 ] the edge 74A. The flat-surface configuration of the 2nd opening 96 depends on the configuration of the focal electrode 95,, may be good also as similarity and may differ from the flat-surface configuration of opening 78.

[0103] The testing device of this invention can also be used not only for the trial of a cathode panel unit, inspection, and evaluation but for the trial of the cathode panel which has the conventional structure shown in the cathode panel after assembly or drawing 32 , and drawing 33 , inspection, and evaluation. The test method for these is substantially good like the test method of the cathode panel unit for cold cathode field-electron-emission displays of this invention then.

[0104] The manufacture approach of the Spindt mold field emission component is not limited to the approach explained by [process -100] - [a process -130]. Although an example of the manufacture approach of the Spindt mold field emission component which these people have proposed is hereafter explained with reference to drawing 25 - drawing 28 , fundamentally, this Spindt mold field emission component is produced based on the following processes. Namely, the opening 25 which the cathode electrode 22 exposed to the process (d) pars basilaris ossis occipitalis which forms the gate electrode 24 on the process (c) insulating layer 23 which forms an insulating layer 23 on the base material 21 including (Process b) cathode electrode 22 top which forms the cathode electrode 22 on the (a) base material 21 So that the field of the electrical conducting material layer 201 located in the center section of the process (f) opening 25 which forms the electrical conducting material layer 201 for electron emission electrode formation in the whole surface including the inside of the process (e) opening 25 formed in an insulating layer 23 at least may be covered As opposed to the base material 21 of (Process g) electrical conducting material layer 201 which forms the mask ingredient layer 202 on the electrical conducting material layer 201 By etching the electrical

conducting material layer 201 and the mask ingredient layer 202 under the anisotropic etching conditions to which the etch rate in a perpendicular direction becomes quicker than the etch rate in a perpendicular direction to the base material of the mask ingredient layer 202, it consists of the electrical conducting material layer 201. The process at which a point forms the electron emission electrode 26 which has a drill-like configuration in opening 25 [0105] [Process -400] The cathode electrode 22 which consists of chromium (Cr) is first formed on the base material 21 which forms SiO<sub>2</sub> two-layer with a thickness of about 0.6 micrometers, and changes on a glass substrate. The electrical conducting material layer for cathode electrodes containing two or more cathode electrodes 22 of the shape of a stripe prolonged in parallel with a line writing direction can be formed by making the electrical conducting material layer for cathode electrodes which consists of chromium with a sputter or a CVD method specifically deposit on a base material 21, and carrying out patterning of this electrical conducting material layer for cathode electrodes. 50 micrometers and the tooth space between electrical conducting material layers for cathode electrodes are set to 30 micrometers for the width of face of the electrical conducting material layer for cathode electrodes. Then, the insulating layer 23 which consists of SiO<sub>2</sub> is formed by the plasma-CVD method on the base material 21 including the cathode electrode 22 and electrical conducting material layer top for cathode electrodes. The CVD conditions in the case of using TEOS (tetra-ethoxy silane) as material gas are illustrated to the following table 1. Thickness of an insulating layer 23 is set to about 1 micrometer. Next, the electrical conducting material layer for gate electrodes which consists of chromium the whole surface on an insulating layer 23 is produced in a sputter, and patterning of the electrical conducting material layer for gate electrodes is performed. The electrical conducting material layer for gate electrodes of the shape of a stripe prolonged by this in parallel with the direction of a train containing two or more gate electrodes 24, i.e., the direction which intersects perpendicularly with the electrical conducting material layer for cathode electrodes, can be obtained. The sputter conditions of the electrical conducting material layer for gate electrodes are illustrated to the following table 2. Moreover, the etching conditions for performing patterning of the electrical conducting material layer for gate electrodes are illustrated to the following table 3.

[0106] [Table 1]

[The formation conditions of an insulating layer 23]

TEOS flow rate: 800SCCM O<sub>2</sub> flow rate : 600SCCM pressure : 1.1kPa RF power : 0.7kW (13.56MHz)

Film production temperature : 40-degreeC [0107] [Table 2]

[The formation conditions of the electrical conducting material layer for gate electrodes]

Ar flow rate : 100SCCM pressure : 5Pa DC power : 2kW sputter temperature: 200-degreeC [0108] [Table 3]

[The etching conditions of the electrical conducting material layer for gate electrodes]

Cl<sub>2</sub> flow rate : 100SCCM O<sub>2</sub> flow rate : 100SCCM pressure : 0.7Pa RF power : 0.8kW (13.56MHz)

Etching temperature: 60-degreeC [0109] Next, in the duplication field of the electrical conducting material layer for cathode electrodes, and the electrical conducting material layer for gate electrodes, i.e., a 1-pixel field, the opening 25 which penetrates the electrical conducting material layer for gate electrodes and an insulating layer 23 is formed. The flat-surface configuration of opening 25 is a round shape with a diameter of 0.3 micrometers. opening 25 -- usually -- a 1-pixel field -- hundreds -- or about 1000 pieces are formed. In order to form opening 25, opening is first formed in the electrical conducting material layer for gate electrodes by the RIE (reactive ion etching) method using the etching gas which is a chlorine system by using as a mask the resist layer formed by the usual photolithography technique, then opening is formed in an insulating layer 23 by the RIE method using the etching gas of a fluorocarbon system. The RIE conditions at the time of forming opening 25 in the electrical conducting material layer for gate electrodes are good similarly [ showed / in Table 3 ] then. The RIE conditions at the time of forming opening 25 in an insulating layer 23 are illustrated to the following table 4. Ashing removes the resist layer after RIE termination. Ashing conditions are illustrated to the following table 5. Thus, the structure shown in (A) of drawing 25 can be acquired.

[0110] [Table 4]

[The formation conditions of opening 25]

Etching system: Parallel monotonous mold RIE system C<sub>4</sub>F<sub>8</sub> flow rate : 30SCCM CO flow rate :

70SCCM Ar flow rate : 300SCCM pressure : 7.3Pa RF power : 1.3kW (13.56MHz)

Etching temperature: 20-degreeC [0111] [Table 5]

[Ashing conditions]

O<sub>2</sub> flow rate : 1200SCCM pressure : 75Pa RF power : 1.3kW (13.56MHz)

Ashing temperature: 300-degreeC [0112] The adhesion layer 200 is formed in a sputter all over [a process -410] next (refer to (B) of drawing 25 ). This adhesion layer 200 is a layer prepared in order to raise the

adhesion between the insulating layer 23 exposed to the side-attachment-wall side of the agenesis section of the electrical conducting material layer for gate electrodes, or opening 25, and the electrical conducting material layer 201 extensively produced at the following process. The adhesion layer 200 which consists of a tungsten on the assumption that the electrical conducting material layer 201 is formed with a tungsten is formed in the thickness of 0.07 micrometers by DC spatter. The spatter conditions at this time are illustrated to the following table 6.

[0113] [Table 6]

[The formation conditions of the adhesion layer 200]

Ar flow rate : 100SCCM pressure : 0.67PaRF power : 3kW (13.56MHz)

Spatter temperature: 200-degreeC [0114] The electrical conducting material layer 201 for electron emission electrode formation which consists of a tungsten with a thickness of about 0.6 micrometers is formed with a hydrogen reduction reduced pressure CVD method all over including the inside of [a process -420], next opening 25 (refer to (A) of drawing 26 ). Film production conditions are illustrated to the following table 7. Crevice 201A reflecting the level difference between the upper limit side of opening 25 and a base is formed in the front face of the produced electrical conducting material layer 201.

[0115] [Table 7]

[The formation conditions of the electrical conducting material layer 201]

WF6 flow rate: 95SCCMH2 flow rate : 700SCCM pressure : 1.2x104Pa film production temperature : 430-

degreeC [0116] The mask ingredient layer 202 is formed so that the field (specifically crevice 201A) of [a process -430], next the electrical conducting material layer 201 located in the center section of opening 25 may be covered. First, the mask ingredient layer 202 is formed on the electrical conducting material layer 201 (refer to (B) of drawing 26 ). Specifically, a resist layer with a thickness of 0.35 micrometers is formed as a mask ingredient layer 202 with a spin coat method. The mask ingredient layer 202 absorbs crevice 201A of the electrical conducting material layer 201, and serves as an almost flat front face. Next, the mask ingredient layer 202 is etched by the RIE method using oxygen system gas. The RIE conditions at this time are illustrated to the following table 8. This etching is ended when the flat side of the electrical conducting material layer 201 is exposed. Thereby, the mask ingredient layer 202 remains so that crevice 201A of the electrical conducting material layer 201 may be embedded evenly (refer to (A) of drawing 27 ).

[0117] [Table 8]

[The etching conditions of the mask ingredient layer 202]

O2 flow rate : 100SCCM pressure : 5.3PaRF power : 0.7kW (13.56MHz)

Etching temperature: 20-degreeC [0118] [A process -440] next the electrical conducting material layer 201 and the mask ingredient layer 202, and the adhesion layer 200 are etched, and the electron emission electrode 26 of a cone configuration is formed (refer to (B) of drawing 27 ). Etching of these layers is performed under the anisotropic etching conditions to which the etch rate of the electrical conducting material layer 201 becomes quicker than the etch rate of the mask ingredient layer 202. Etching conditions are illustrated to the following table 9.

[0119] [Table 9]

[The etching conditions of electrical conducting material layer 201 grade]

SF6 flow rate : 150SCCMO2 flow rate : 30SCCMAr flow rate : 90SCCM pressure : 35PaRF power: 0.7kW (13.56MHz)

[0120] [Process -450] If the side-attachment-wall side of opening established in the insulating layer 23 in the interior of opening 25 after that on isotropic etching conditions is retreated, the field emission component shown in drawing 28 will be completed. The dry etching which uses a radical as a main etching kind like chemical dry etching, or the wet etching using an etching reagent can perform isotropic etching. As an etching reagent, for example, a fluoric acid water solution and 1:100 (volume ratio) mixed liquor of pure water can be used 49%.

[0121] Here, in [a process -440], the device in which the electron emission electrode 26 is formed is explained with reference to drawing 29 . (A) of drawing 29 is the mimetic diagram showing how the surface profile of an etching substance changes for every fixed time amount with advance of etching, and (B) of drawing 29 is a graph which shows the relation between etching time and the thickness of the etching substance in an opening core. The height of the electron emission electrode [ in / for the thickness of the mask ingredient layer in an opening core / hp and an opening core ] 26 is set to he.

[0122] Naturally the etch rate of the electrical conducting material layer 201 is quicker than the etch rate of the mask ingredient layer 202 which consists of a resist ingredient on the etching conditions shown in Table 9. In the field in which the mask ingredient layer 202 does not exist, the electrical conducting material layer 201 begins to be etched immediately, and the front face of an etching substance descends promptly. on the



other hand, in the field in which the mask ingredient layer 202 exists Since etching of the electrical conducting material layer 201 under it does not start unless the mask ingredient layer 202 is removed first While the mask ingredient layer 202 is etched, when the mask ingredient layer 202 disappears, as for the reduction rate of the thickness of an etching substance, the reduction rate of the thickness of an etching substance becomes quick for the first time late (hp reduction section) like the field where the mask ingredient layer 202 does not exist (he reduction section). The mask ingredient layer 202 of thickness is the latest at the core of the opening 25 used as max, and the initiation stage of hp reduction section becomes early toward the circumference of the thin opening 25 of the mask ingredient layer 202. Thus, the electron emission electrode 26 of a cone configuration is formed.

[0123] The ratio of the etch rate of the electrical conducting material layer 201 to the etch rate of the mask ingredient layer 202 which consists of a resist ingredient is made to call a "pair resist selection ratio." This selection ratio for a resist explains that it is the important factor which determines a configuration as the height of the electron emission electrode 26 with reference to drawing 30 . (C) of drawing 30 shows the configuration of the electron emission electrode 26 in case (B of (A) of drawing 30 ) of drawing 30 is these middle when the selection ratio for a resist is relatively small, and the selection ratio for a resist is relatively large. Since film decrease of the electrical conducting material layer 201 becomes intense compared with film decrease of the mask ingredient layer 202 so that the selection ratio for a resist is large, it turns out that the electron emission electrode 26 becomes more highly and sharp. The selection ratio for a resist will fall, if the rate of O<sub>2</sub> flow rate to SF<sub>6</sub> flow rate is raised. Moreover, when using the etching system which substrate bias is used together and can change the incidence energy of ion, RF bias power can be raised or the selection ratio for a resist can be lowered by lowering the frequency of the AC power supply for bias impression. The value of the selection ratio for a resist is more preferably chosen or more as three two or more 1.5 or more.

[0124] In addition, although it is naturally necessary to secure a high selection ratio to the gate electrode 24 or the cathode electrode 22 in the above-mentioned etching, it is completely satisfactory on the conditions shown in Table 9. The chromium which constitutes the gate electrode 24 and the cathode electrode 22 is because it is hardly etched, but ten or more selection ratios for chromium will be obtained in general by the etching species of a fluorine system if it is the above-mentioned conditions.

[0125]

[Effect of the Invention] In this invention, improvement in the manufacture yield of a cathode panel can be aimed at by miniaturizing a panel including the electron emission field which requires micro processing. And by combining a small panel without a defect, repeatability is good and manufacture of the cold cathode field-electron-emission display of high quality is attained. And since it assembles on a cathode panel after examining, inspecting and evaluating not only the electric short circuit of the electron emission field in each cathode panel unit but a display property, improvement in the manufacture yield of a cathode panel can be aimed at. Moreover, even if it is the case where a defect occurs to a cathode panel unit after the assembly of a cathode panel, restoration of a cathode panel is [ that what is necessary is just to exchange this cathode panel unit ] possible.

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

### [Brief Description of the Drawings]

[Drawing 1] It is a partial typical top view in the condition of having assembled the four cathode panel unit.

[Drawing 2] It is the typical partial perspective view and decomposition perspective view of an one cathode panel unit.

[Drawing 3] typical [ for explaining arrangement of the substrate for cathode panels, a cathode panel unit, and a spacer ] -- it is a perspective view a part.

[Drawing 4] typical [ for explaining arrangement of the substrate for cathode panels, a cathode panel unit, and a spacer ] -- it is end view a part.

[Drawing 5] Drawing 1 is a partial typical top view in the condition of having assembled the four cathode panel unit from which a configuration differs a little.

[Drawing 6] They are a cathode panel unit for explaining the modification of a spacer, and the typical perspective view of a spacer.

[Drawing 7] the substrate for cathode panels is typical -- it is a perspective view a part.

[Drawing 8] It is the conceptual diagram of the cold cathode field-electron-emission display of this invention which applied the Spindt mold field emission component.

[Drawing 9] They are some typical decomposition perspective views of the cathode panel in the cold cathode field-electron-emission display of this invention which applied the Spindt mold field emission component, and an anode panel.

[Drawing 10] typical [ base material / for explaining the manufacture approach of the Spindt mold field emission component ] -- it is end view a part.

[Drawing 11] typical [ base material / for continuing at drawing 10 and explaining the manufacture approach of the Spindt mold field emission component ] -- it is end view a part.

[Drawing 12] an edge mold field emission component is typical -- it is end view a part.

[Drawing 13] It is the typical perspective view in which a part of base material near the opening of the edge mold field emission component shown in (B) of drawing 12 etc. was cut and exposed.

[Drawing 14] typical [ base material / for explaining the manufacture approach of the edge mold field emission component shown in (B) of drawing 12 ] -- it is end view a part.

[Drawing 15] typical [ base material / for continuing at drawing 14 and explaining the manufacture approach of an edge mold field emission component ] -- it is end view a part.

[Drawing 16] typical [ base material / for continuing at drawing 15 and explaining the manufacture approach of an edge mold field emission component ] -- it is end view a part.

[Drawing 17] a flat-surface mold field emission component is typical -- it is end view a part.

[Drawing 18] typical [ base material / for explaining the manufacture approach of the flat-surface mold field emission component shown in drawing 17 ] -- it is end view a part.

[Drawing 19] the cathode panel unit equipped with trunk wiring which has shunt structure is typical -- they are end view and a typical decomposition perspective view a part.

[Drawing 20] the modification of the structure of trunk wiring is shown -- typical -- they are end view and a typical decomposition perspective view a part.

[Drawing 21] It is drawing showing the outline of the testing device of this invention suitable for activation of a display characteristic test.

[Drawing 22] It is drawing showing the outline of the modification of the testing device of this invention suitable for activation of a display characteristic test.

[Drawing 23] It is the partial typical top view of the modification of a cathode panel unit.

[Drawing 24] the field emission component which built the focal electrode into the edge mold field emission component of the 2nd structure is typical -- it is end view a part.

[Drawing 25] typical [ base material / for explaining the another manufacture approach of the Spindt mold field emission component ] -- it is end view a part.

[Drawing 26] typical [ base material / for continuing at drawing 25 and explaining the another manufacture approach of the Spindt mold field emission component ] -- it is end view a part.

[Drawing 27] typical [ base material / for continuing at drawing 26 and explaining the another manufacture approach of the Spindt mold field emission component ] -- it is end view a part.

[Drawing 28] typical [ base material / for continuing at drawing 27 and explaining the another manufacture approach of the Spindt mold field emission component ] -- it is end view a part.

[Drawing 29] It is drawing for explaining the device in which the electron emission electrode of a cone configuration is formed.

[Drawing 30] It is drawing showing typically the selection ratio for a resist, the height of an electron emission electrode, and the relation of a configuration.

[Drawing 31] They are mimetic diagrams, such as a base material for explaining the advantage in the case of producing many cathode panel units from the trouble in the case of producing two cathode panels from the base material of one sheet, and the base material of one sheet.

[Drawing 32] It is the conceptual diagram of the conventional cold cathode field-electron-emission display which applied the Spindt mold field emission component.

[Drawing 33] They are some typical decomposition perspective views of the cathode panel in the conventional cold cathode field-electron-emission display which applied the Spindt mold field emission component, and an anode panel.

[Description of Notations]

10 ... A cathode panel, 11 ... Cathode panel unit, 12 ... An electron emission field, 13A, 13B ... A connection terminal area, 14 ... Wiring, 15 ... A location mark, 20 ... The substrate for cathode panels, 21 base materials, 22 ... A cathode electrode, 22A ... The electrical conducting material layer for cathode electrodes, 23 ... An insulating layer, 24 ... A gate electrode, 24A ... The electrical conducting material layer for gate electrodes, 25 ... Opening, 26 ... An electron emission electrode, 26A ... Electrical conducting material layer, 27 [ ... Wiring, ] ... Stratum disjunctum, 30 ... 31 A pore, 34 ... 32 A terminal area, 35 33 36 ... A pad, 40 ... A spacer, 41 ... Holddown member, 50 ... An anode panel, 50A ... A panel, 51 ... Substrate, 52, 52R, 52G, 52B ... A fluorescent substance layer, 53 ... Anode electrode, 54 ... A black matrix, 60 ... A spacer, 61 ... Wiring, 71 ... A base material, 72 ... The 1st gate electrode, 73 ... The 1st insulating layer, 74 ... An electron emission layer, 75 ... The 2nd insulating layer, 76 ... Gate electrode, 77 ... The 2nd gate electrode, 78, 78A, 78B, 78C, 78D ... Opening, 79 ... A resist layer, 79A ... Resist opening, 81 ... Base material, 84 ... An electron emission layer, 85 ... An insulating layer, 86 ... Gate electrode, 88 ... Opening, 89 ... A resist layer, 89A ... Resist opening, 100, 100A ... A testing device, 101 ... Housing, 102 ... Examining table, 103 ... An examining-table rise-and-fall cylinder, 104 ... Pin rise-and-fall cylinder, 105 ... A pin, 107 ... A bulb, 108 ... Quantity-of-gas-flow control unit, 109 [ ... A voltage source and a scan electrical-potential-difference controller 113 / ... An examining-table controller, 121 / ... The direction drive stepping motor of X, 122 / ... The direction drive stepping motor of Y ] ... An inspection electrical-potential-difference impression needle, 110 ... Television equipment, 111 ... An image inspection unit, 112

[Translation done.]